mikroelektronik

elektronik-bauelemente

RFT

Nur für den Dienstgebrauch

DATENBLATTSAMMLUNG

elektronische bauelemente

IWT 1/85

- Die vorliegenden Datenblätter dienen nur zur Information. Sie beinhalten Informationen über Halbleiterbauelemente des in den Listen elektronischer Bauelemente eingestuften Sortiments.

- Aus den Datenblättern können keine Liefer- oder Produktverbindlichkeiten abgeleitet werden.

  Sie beinhalten Grenz- und Kennwerte sowie Kennlinien von Bauelementen.

  Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

- Die Datenblattsammlung ist kostenpflichtig und kann durch Anwender aus der DDR bestellt werden.

- Die Datenblattsammlung wird schrittweise aufgebaut (Lose-Blatt-Sammlung).

  Laufende Ergänzungen und Aktualisierungen werden vorgenommen. Bestellungen für die jeweiligen Ausgaben der Datenblattsammlung richten Sie bitte an

  VEB Applikationszentrum Elektronik Berlin
  Abt. AV

  1035 Berlin
  Mainzer Str. 25

- Die Herausgabe der Datenblattsammlung erfolgt im Auftrage des VEB Kombinat Mikroelektronik durch den VEB Applikationszentrum Elektronik Berlin, Abteilung DZ. Die Redaktionsverantwortlichen nehmen jederzeit dankend sachbezogene Hinweise entgegen.

- Bei Nachbestellung für vergriffene Ausgaben kann die Lieferung auf Mikroplanfilm erfolgen.

D A T E N B L A T T S A M M L U N G

"Elektronische Bauelemente"

Ausgabe 1/85: "Neue und weiterentwickelte Bauelemente"

Inhalt

1. Transistoren

SU 378	Si-npn-Leistungsschalttransistor für Schaltnetzteile
SU 380	Si-npn-Leistungsschalttransistor für Schaltnetzteile
Isolierscheiben für Transistoren der Bauform L (TO - 3)	

2. Integrierte Schaltkreise

A 1818 D	Aufnahme - Wiedergabe - Verstärker
A 2000 V	Doppel-NF-Leistungsverstärker
A 2005 V	Doppel-NF-Leistungsverstärker
A 4510 D	Stereodekoder
B 391 D	Motorprozessor für Kassettenlaufwerke
C 570 D	Analog-Digital-Wandler mit einer Auflösung von 8 bit
C 571 D	Analog-Digital-Wandler mit einer Auflösung von 10 bit
C 5658 D	Digital-Analog-Wandler 8 bit
DL 051 D	AND-NOR-Gatter
DL 086 D	4 Exklusiv -OR-Gatter
DL 155 D	Dekoder /Demultiplexer
DL 175 D	D-Flip-Flop
DL 194 D	4-Bit-Schieberegister
DL 251 D	Multiplexer
DL 253 D	Multiplexer
DL 257 D	Multiplexer
DL 295 D	4-Bit-Schieberegister
DL 8121 D	8-Bit-Komparator
DL 8127 D	System-Taktgenerator
U 1001 D	Filterschaltkreis
U 1011 D	PCM-CODEC-Schaltkreis
U 1021 D	Zeitlagensteuerschaltkreis
U 2164 C	64-K-dRAM
U 2316 D	16-K-ROM
U 2364 D	64-K-ROM
U 2365 D	64-K-ROM
U 2616 D	16-K-PROM
U 2716 C	16-K-EPROM
U 8246 C	1-K-sRAM
UB 8001 C	16-Bit-Mikroprozessor (CPU)
UB 8002 D	16-Bit-Mikroprozessor (CPU)
UB 8010 C	Speicherverwaltungseinheit für UB 8001 C

- Einchip-Mikrorechner

UB 8810 L	Einchip-Mikrorechner (EMR)
UD 8810 D	maskenprogrammiert
UB 8811 D	EMR, maskenprogrammiert
UD 8811 D	power-down-Betrieb
UB 8820 M	EMR, Entwicklungsversion
UC 8820 M	(ROM ext.)
UD 8820 M	

UB 8821 M UC 8821 M UD 8821 M	EMR, Entwicklungsversion (ROM ext.) power-down- Betrieb
UB 8830 D UC 8830 D UD 8830 D	EMR, maskenprogrammiert, BASIC-Interpreter
UB 8831 D UC 8831 D UD 8831 D	EMR, maskenprogrammiert, BASIC-Interpreter, power- down-Betrieb
UB 8840 M UC 8840 M UD 8840 M	EMR, Entwicklungsversion (ROM ext.)
UB 8841 M UC 8841 M UD 8841 M	EMR, Entwicklungsversion (ROM ext.), power-down- Betrieb
UB 8860 D UC 8860 D UD 8860 D	EMR, ohne ROM
UB 8861 D UC 8861 D UD 8861 D	EMR, ohne ROM, power-down- Betrieb

- CMOS-Schaltkreise

V 4046 D	PLL-Schaltung
V 4051 D	8-Kanal-Analog-Multiplexer/Demultiplexer
V 4066 D	4 bilaterale Schalter
V 4520 D	2 x Binär-4-Bit-Vorwärtszähler
V 4531 D	13-Bit-Paritätsprüfer
V 4538 D	2 x Monoflop
V 4585 D	4-Bit-Größenkomparator

3. Optoelektronische Bauelemente

MB 105	Optoelektronische Koppler

mikroelektronik

Information

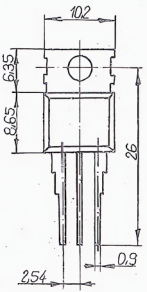
RFT

SU 378 / SU 380

1/85

Hersteller: VEB Mikroelektronik „Karl Liebknecht" Stahnsdorf

Si-npn-Leistungsschalttransistor für Schaltnetzteile



TO 220

Masse ca. 2,5 g

Kollektor am Gehäuse

Bild 1: Maße in mm und Anschlußbelegung

Grenzwerte, gültig für den Umgebungstemperaturbereich $\vartheta_a = -25^{\circ}C \ldots +100^{\circ}C$

		SU 378	SU 380	
Kollektor-Basis-Spannung $I_E = 0$	U_{CBO}	700	850	V
Kollektor-Emitter-Spannung $I_B = 0$	U_{CEO}	400		V
Kollektorstrom	I_C	6		A
Kollektorspitzenstrom	I_{CM}	8		A
Gesamtverlustleistung $t \leq 25\,^{\circ}C$	P_{tot}	85		W
Sperrschichttemperatur	t_j	175		°C
Betriebstemperatur	t_a	125		°C

Kennwerte, bei $t_C = 25\,^{\circ}C \pm 5K$		min	max	
Kollektor-Emitter-Reststrom $U_{CE} = -2\,V$, $U_{CE} = U_{CBO}$	I_{CEX}		0,3	mA
Kollektor-Emitter-Sättigungsspannung $I_C = 2,5\,A$, $I_B = 0,5\,A$	U_{CEsat}		1,5	V
Basis-Emitter-Sättigungsspannung $I_C = 2,5\,A$, $I_B = 0,5\,A$	U_{BEsat}		1,3	V
Kollektor-Emitter-Durchbruchsspannung $I_C = 0,2\,A$	$U_{(BR)CEO}$	$\geq 450\,V$ $\geq 400\,V$	SU 378 SU 380	
Emitter-Basis-Durchbruchsspannung $I_E = 0,01\,A$	$U_{(BR)EBO}$	$\geq 7\,V$		
Abfallzeit des Kollektorstromes $I_C = 2,5\,A$, $I_B = 0,5\,A$, $-I_B = 1\,A$ $U_{CC} = 150\,V$	t_f		$\leq 0,8$	µs

Bestellbezeichnung: Transistor SU 378
Transistor SU 380

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Lieferfähigkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

Änderungen vorbehalten!

Herausgeber:
VEB Applikationszentrum Elektronik Berlin
im VEB Kombinat Mikroelektronik
DDR-1035 Berlin, Mainzer Straße 25
Telefon 5 80 05 21, Telex 011 2981, 011 3055

mikroelektronik

Information

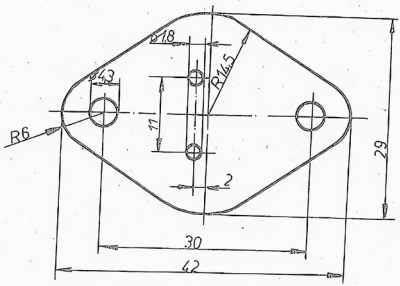
RFT

1/85

Isolierscheiben für Transistoren der Bauform E (TO-3)

Hersteller: VEB Mikroelektronik „Bruno Baum" Zehdenick

Abmessungen:



Technische Werte für Polyesterfolie E 36 (Dicke: 0,036 mm)

Eigenschaften	Kennwert	Folienlaufrichtung	Prüfbedingungen
Dichte (g/cm^3)	1,395	-	
Zugfestigkeit (kp/mm^2)	≧ 20	längs	22 °C, 65 % r.F.
	≧ 18	quer	(200±10)mm/min
Durchschlagfestigkeit (kV/mm)	≧ 150	-	22 °C; 50 Hz 0,5 kV/s
Wärmewiderstand *) (grd/W)	≈ 0,69 ... 0,40	-	Versuchsmeßwerte - untersch. Prüfbedingungen
Dielektrizitätskonstante	≧2,8	-	22 °C, 800 Hz
Schrumpfung (%)	≦2,5	längs	24 h bei 130 °C
	≦2,5	quer	
Höchste zulässige Dauertemperatur (°C)	130	-	
Wasseraufnahme (%)	≦ 0,6	-	48 h Wasserlagerung bei 22 °C

Weitere Kennwerte siehe TGL 27 330/01

*) Die Angaben zum Wärmewiderstand erfolgen auf der Grundlage von im VEB Mikroelektronik "Bruno Baum" Zehdenick vorliegenden Meßergebnissen.
Diese Angabe ist nicht Bestandteil der TGL 27 330/01 und damit unverbindlich.

Bezeichnung:	Werkstoff:
Z 210	Polyesterfolie 0,036 mm
Z 220	Polyesterfolie 0,1 mm
Z 218	Glasikon 0,1 mm (Glasseide mit Silikonlack)
Z 159	Glimmer 0,05 mm

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten

Herausgeber:

VEB Applikationszentrum Elektronik Berlin
im VEB Kombinat Mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981, 011 3055

mikroelektronik

Information

RFT

A 1818 D

Vergleichstyp: **LM 1818**

1/85

vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

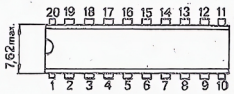
Aufnahme-Wiedergabe-Verstärker

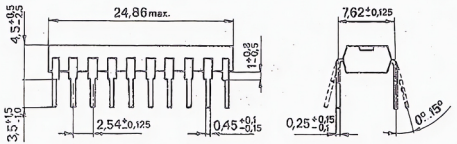
Der monolithisch integrierte Schaltkreis A 1818 D ist ein Aufnahme-Wiedergabe-Baustein, besonders geeignet für den Einsatz in batteriebetriebenen Radiokassettenrecordern.

Gehäuse: 20poliges DIL-Plastgehäuse

Bauform: 21.2.1.2.20

Masse: ≤ 2 g





21.3.9.2.20 TGL 26713

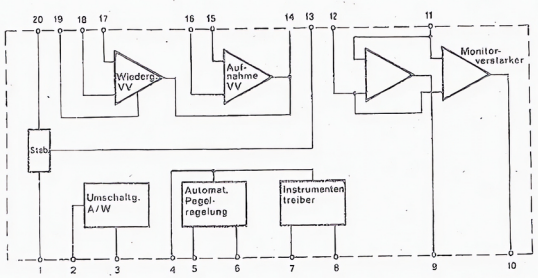
Anschlußbelegung:

1 Masse
2 Kopfumschaltung
3 Aufnahme-Wiedergabe (A/W)-Umschaltung
4 ALC-Eingang
5 ALC-Transistor
6 ALC-Zeitkonstante
7 Anzeige-Zeitkonstante
8 Anzeige-Ausgang
9 Ausgang Monitorverstärker
10 Ausgang Aufnahmeverstärker
11 Gegenkopplung Monitor und Aufnahmeverstärker
12 Eingang Monitor und Aufnahmeverstärker
13 Betriebsspannung
14 Ausgang Vorverstärker (VV)
15 Gegenkopplung Mikrofonverstärker
16 Eingang Mikrofonverstärker
17 Eingang Wiedergabe-Vorverstärker
18 Gegenkopplung-Wiedergabe-Vorverstärker
19 Kollektor Eingangstransistor
20 Abblockung der internen Versorgungsspannung

Im A 1818 erfolgt die Umschaltung zwischen den Betriebsarten Aufnahme und Wiedergabe durch eine Logik innerhalb des Schaltkreises auf elektronischem Weg, so daß nur noch ein einpoliger Umschalter nötig ist.

Folgende Funktionseinheiten sind im A 1818 D enthalten:
- Mikrofonverstärker
- Wiedergabeverstärker
- Monitorverstärker
- Aufnahmeverstärker
- Aussteuerautomatik (ALC)
- Treiber für Aussteuerungsanzeige

Blockschaltbild:



A1818A1X84

Grenzwerte:

		min.	max.	
Betriebsspannung	U_{CC}	0	18	V
Gleichspannung an den Anschlüssen 2 und 5	U_2	0	0,1	V
	U_5	0	0,1	V
Ausgangsstrom am Anschluß 14	$\pm I_{14}$	0	5	mA
Ausgangsstrom Anzeige	$-I_8$	0	3	mA
Verlustleistung	P_{tot}	–	650	mW
Schaltspannung Aufnahme-Wiedergabe	U_3	0	U_{CC}	V

Betriebsbedingungen:

		min.	max.	
Betriebsspannung	U_{CC}	3,5	18	V
U_3 Wiedergabebetrieb	U_3	0,7 U_{CC}	U_{CC}	V
U_3 Aufnahmebetrieb	U_3	0	0,3 U_{CC}	V
Betriebstemperaturbereich	ϑ_a	0	+ 70 °C	

Kenngrößen, (gültig bei U_{CC} = 6 V und ϑ_a = 25 °C – 5 K, falls nicht anders angegeben):

		min.	typ.	max.	
Stromaufnahme bei $U_3 = U_{CC}$	I_{CC}			12	mA
Klirrfaktor Mikrofonverstärker f = 1 kHz, u_{16} = 5 mV ALC – angeschlossen $U_2 = 0$, $u_{14} = (+ 500 \,^{+\,200}_{-\,100})$ mV	K_h			1,5	%
Wiedergabevorverstärker f = 1 kHz, u_{17} = 5 mV ALC – angeschlossen $U_3 = U_{CC}$, $u_{14} (+ 500 \,^{+\,200}_{-\,100})$ mV	K_h			1,5	%
Monitorverstärker-Aufnahme f = 1 kHz, u_{12} = 100 mV $U_3 = 0$, $u_{10} = (1000 \pm 200)$ mV	K_h			0,5	%
Monitorverstärker-Wiedergabe f = 1 kHz, u_{12} = 100 mV $U_3 = U_{CC}$, $u_5 = (1000 \pm 200$ mV)	K_h			0,5	%
Ausgangsspannungsänderung U_{14} u_{11} = 3 mV[1] u_{12} = 3 mV + 30 dB	a			7,2	dB
Rauschspannung bezogen auf den Eingang im Wiedergabe-Betrieb A_u = 40 dB, bei f = 400 Hz Bandpaß 22 Hz bis 22 kHz	u_{IN}			1,4	µV

		min.	typ.	max.	
Spannung für Aussteuerungsanzeige $u_4 = 100$ mV, f = 1 kHz $U_3 = 0$	U_5	600			mV
Kontrolle der Ausgangssignale bei abgeschalteten Verstärkern Monitorverstärker Anschluß 9 $u_{12} = 100$ mV, f = 1 kHz $U_3 = 0$	U_9			300	mV
Monitorverstärker Anschluß 10 $u_{12} = 100$ mV, f = 1 kHz $U_3 = U_{CC}$	U_{10}			300	mV
Kontrolle der Ausgangssignale bei abgeschalteten Wiedergabeverstärker $u_{16} = 5$ mV, f = 1 kHz $U_3 = 0$	U_{14}			10	mV
Aufnahmevorverstärker $U_{17} = 5$ mV, f = 1 kHz $U_3 = U_{CC}$	U_{14}			10	mV

[1]) $a = 10 \lg \frac{U_{14} \text{ bei } u_{i1}}{U_{14} \text{ bei } u_{i2}}$

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Informöglichkeiten oder Produktionsvorbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:
veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981, 011 3055

mikroelektronik

Information

RFT

A 2000 V
A 2005 V

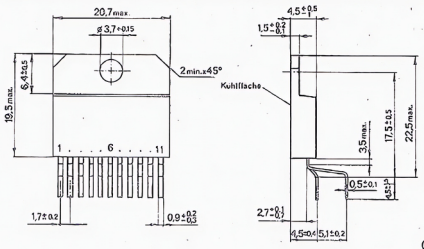
Vergleichstyp: ≈ TDA 4925
TDA 2005

1/85

vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

Die Schaltkreise sind anschlußkompatible **Doppel-NF-Leistungsverstärker mit Gegentakt-B-Endstufen, die für den Einsatz in Radiorecordern (A 2000 V) und in Autoempfängern (A 2005 V)** vorgesehen sind. Die Schaltkreise zeichnen sich durch einen großen Betriebsspannungsbereich und geringe Außenbeschaltung aus. Die eingebauten Schutzschaltungen für Temperatur, Überspannung, SOAR und Lautsprecher-Kurzschlußschutz garantieren eine hohe Betriebszuverlässigkeit.



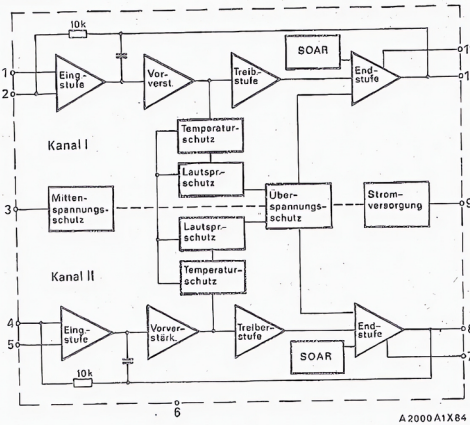
Bauform: 63.2.1.11
Masse: ≈ 5,9 g

Gehäuse: 11poliges TO 220-Leistungsplastgehäuse

Anschlußbelegung:

1 – Eingang I
2 – Gegenkopplungseingang I
3 – Freigabe-Eingang
4 – Gegenkopplungseingang II
5 – Eingang II
6 – Masse
7 – Bootstrap II
8 – Ausgang II
9 – Betriebsspannung
10 – Ausgang I
11 – Bootstrap I

Blockschaltbild:



Grenzwerte, gültig für den Betriebstemperaturbereich:

	min.	max.	
Betriebsspannung		28	V
Betriebsspannungsbereich	4	18	V
Ausgangsstrom*) A 2000 V		2,5	A
A 2005 V		3,5	A
Gesamtverlustleistung (+ 60 °C)		30	W
Innerer Wärmewiderstand		3	K/W
Betriebstemperaturbereich	– 25	70	°C

*) Der Ausgangsspitzenstrom ist intern begrenzt.

A 2000 V:

Dynamische Kennwerte für Stereo-Betrieb mit $A_u = 40$ dB bei $U_{cc} = 14{,}4$ V; $R_L = 4\ \Omega$; $f = 1$ kHz;

	min.	typ.	max.	
Betriebsspannungsbereich	4,0		18	V
Ruhestrom		30	40	mA
Ruhestrom, stummgeschaltet		3,5		mA
Ausgangsmittenspannung	6,6	7,2	7,8	V
Ausgangsmittenspannungsdifferenz für „m"-Typ (8–10)			150	mV
Ausgangsleistung K = 10%	6,0	6,25		W
Ausgangsleistung $U_{cc} = 9$ V; $R_L = 2\ \Omega$, K = 10%	2,8	3,75		W
Klirrfaktor $P_o = 50$ mW		0,25	1	%
Klirrfaktor $P_o = 50$ mW $U_{cc} = 9$ V; $R_L = 2\ \Omega$		0,33	1	%
Leerlaufverstärkung		84		dB
Eingangswiderstand	70	180		kΩ
Grenzfrequenz f_L (– 3 db)		40	50	Hz
f_H (– 3 dB)	20	85		kHz
Übersprechen $U_o = 4$; $R_G = 10$ kΩ		50		dB
Eingangsrauschspannung $R_G = 10$ kΩ; BW = 20 Hz . . . 20 kHz		3,0		µV
Brummspannungsunterdrückung $U_{cc\,mod} = 0{,}5$ V; f = 100 Hz		28		dB
Thermoschutz		145		°C

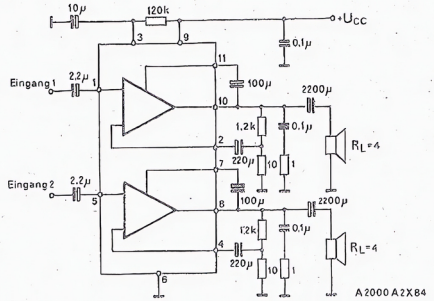
A 2005 V:

Dynamische Kennwerte für Stereo-Betrieb mit $A_u = 40$ dB bei $U_{cc} = 14{,}4$ V; $R_L = 4\ \Omega$; $f = 1$ kHz;

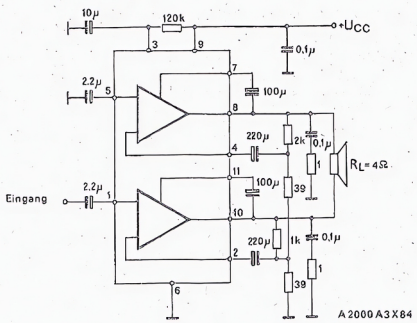
	min.	typ.	max.	
Betriebsspannungsbereich	4,0		18	V
Ruhestrom		75	115	mA
Ruhestrom, stummgeschaltet		3,5		mA
Ausgangsmittenspannung	6,6	7,2	7,8	V
Ausgangsmittenspannungsdifferenz für „m"-Typ (8–10)			150	mV
Ausgangsleistung K = 10%	6,0	6,5		W

Fortsetzung	min.	typ.	max.	
Ausgangsleistung $R_L = 2\,\Omega$, K = 10%	9,0	10,6		W
Klirrfaktor P_o = 50 mW		0,15	1	%
Klirrfaktor $R_L = 2\,\Omega$, P_o = 50 mW		0,22	1	%
Leerlaufverstärkung		85		dB
Eingangswiderstand	70	150		kΩ
Grenzfrequenz f_L (– 3 db) f_H (– 30 dB)	20	40 80	50	Hz kHz
Übersprechen $U_o = 4$; R_G = 10 kΩ		50		dB
Eingangsrauschspannung R_G = 10 kΩ; BW = 20 Hz ... 20 kHz		3,0		µV
Brummspannungsunterdrückung $U_{cc\,mod}$ = 0,5 V; f = 100 Hz		27		dB
Thermoschutz		150		°C

Stereo-Verstärker (A_u = 40 dB):



Mono-Verstärker in Brückenschaltung (A_u = 40 dB):



Applikationshinweise:

- Die Leiterplatte ist so zu gestalten, daß die Leiterzüge von Betriebsspannung, Masse und Lautsprecheranschluß kleinstmögliche Impedanzen ausweisen.
- Beim Leiterplattenentwurf ist darauf zu achten, daß die Boucherot-Glieder (0,1 µF – 1 Ω) von den Ausgängen Anschluß 8 und 10 nach Mase möglichst nahe am Schaltkreis in die Zuleitungen der Ausgangs-Endstufen plaziert werden. Auf keinen Fall dürfen die Boucherot-Glieder nach dem Auskoppel-Elko angeschlossen werden. Die Eingangs- und Ausgangs-Masse ist getrennt an Anschluß 6 heranzuführen.
- Beim Einsatz der Schaltkreise ist auf guten thermischen Kontakt zum Kühlkörper zu achten (Wärmeleitpaste). An den Anschlüssen darf keine dauernde mechanische Belastung auftreten.
- Die max. Eingangsspannung sollte 250 mV_{eff} nicht übersteigen.
- Die Verstärkung ist durch niederohmige Spannungsteiler vom Ausgang auf den Gegenkopplungseingang im Bereich von 24 ... 52 dB einstellbar. Eine Verringerung der Ruhestromaufnahme erreicht man durch die Ankopplung des Spannungsteilers nach dem Lautsprecher-Auskoppel-Elko.
  Die Erdpunkte dieser Spannungsteiler sind auf die Vorstufen-Masse zu schalten.

- Wird keine Bootstrap-Beschaltung verwendet, muß der Widerstand 120 kΩ zwischen Anschluß 3 und 9 entfallen und die Anschlüsse 7 und 11 sind auf Betriebsspannung zu schalten.
- Für ausreichende HF-Stabilität ist die Betriebsspannung mit mindestens 0,1 µF gegen Masse zu beschalten.
- Unter bestimmten Betriebsbedingungen (HF-Schwingneigung) können die HF-Eingänge mit einem Kondensator von max. 220 pF gegen Masse beschaltet werden.
- Mit einem Kurzschluß des Freigabe-Eingangs, Anschluß 3 gegen Masse, läßt sich der Schaltkreis stumm schalten. Dabei handelt es sich nicht um eine „echte Stummschaltung" während des Schaltvorganges. Gleichzeitig erfolgt eine Ruhestromverringerung.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten

Herausgeber:
veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik
DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 60 05 21, Telex: 01 2981, 011 3056

mikroelektronik

Information

RFT

A 4510 D

Vergleichstyp: TCA 4510

1/85

vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

Der A 4510 D ist ein monolithisch integrierter Stereodekoder in I^2L-Analog-Bipolartechnik.

Er dekodiert die senderseitige Stereoinformation (MPX-Signal) in die beiden Lautsprechersignale L und R.

Ein kontinuierliches Überblenden von Stereo auf Mono ist möglich. Der Stereodekoder ist für Zeitmultiplex- (Schalter) oder Frequenzmultiplexbetrieb (Matrix) ausgelegt. Die Schaltfrequenzen werden mittels PLL aufbereitet. Stereosender werden mittels Lampe angezeigt.

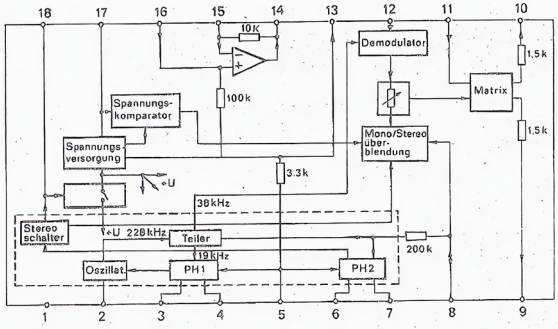
Der A 4510 D zeichnet sich durch einen weiten Betriebsspannungsbereich (4,5 bis 18 V) und eine geringe Gesamtstromaufnahme (ohne Lampenstrom) von < 15 mA aus.

Anschlußbelegung:

1 – Masse
2 – RC-Oszillator
3,4 – Tiefpaß für PLL (Phasenvergleich 1)
5 – Pilottoneingang
6,7 – Tiefpaß für Stereokennung (Phasenvergleich 2)
8 – 19 kHz-Ausgang/bzw. Stereo-Mono-Überblendung
9 – NF-Ausgang Links (L)
10 – NF-Ausgang Rechts (R)
11 – (L + R)-Eingang
12 – (L-R)-Eingang
13 – Referenzspannung
14 – Ausgang des Operationsverstärkers
15 – Invertierender Eingang des OP
16 – Nichtinvertierender Eingang des OP (MPX-Eingang)
17 – Betriebsspannung
18 – Lampenanschluß

Gehäuse: 18poliges DIL-Plastgehäuse
Bauform: 21.4.1.2.18
Masse: ≤ 1,5 g

Blockschaltbild:



A4510 A1X84

Grenzwerte:

		min.	max.	
Betriebsspannung	U_{CC}	0	18	V
Lampenspannung	U_{18}	0	U_{CC}	V
Hilfsspannung	U_8	0	3	V
Lampenstrom	I_{18}	–	60	mA
Sperrschichttemperatur	ϑ_j	–	150	°C

		min.	typ.	max
Betriebsbedingungen:				
Betriebsspannung	U_{CC}	4,5	18	V
Betriebsspannung für Stereobetrieb	U_{CC}	5	–	V
Eingangsspannung an Anschluß 16	$U_{imax\,pp}$	–	1	V
Betriebstemperaturbereich	ϑ_a	– 10	+ 70	°C

Kenngrößen, gültig bei $\vartheta_a = 25\,°C - 5\,K$, $U_{CC} = 8\,V$:

		min.	typ.	max.	
Stromaufnahme (ohne Lampenstrom) S_1 geschlossen	I_{CC}	–		15	mA
Stromaufnahme bei Zwangsmono S_1 offen	I_{CC}	–		8	mA
Lampentreiberspannung (Kontrolle des Abschaltens des Oszillators) S_1 offen S_2 in Stellung b	U_{18Aus}	–		0,4	V
Lampentreiberspannung (Kontrolle des Oszillators) S_1 offen S_2 in Stellung b	U_{18Ein}	0,9		–	V
NF-Ausgangsspannung (Mono) MPX-Signal[1]) Anschluß 18 unbeschaltet S_1 offen	$u_{M9_{pp}}/u_{M10_{pp}}$	250		500	mV
Kanalgleichheit (Monobalance) MPX-Signal[1]) Anschluß 18 unbeschaltet S_1 offen	a_{SM}	–		1	dB
NF-Ausgangsspannung (Stereo) MPX-Signal[1]) $U_8 = 0{,}8$ V S_1 geschlossen S_2 in Stellung a	$u_{9_{pp}}/u_{10_{pp}}$	500		1000	mV
Übersprechdämpfung MPX-Signal[1]) $U_8 = 0{,}8$ V S_1 geschlossen S_2 in Stellung a	$a_{ü}$	30			dB
Klirrfaktor $u_{i_{pp}} = 700$ mV $f = 1$ kHz Anschluß 18 unbeschaltet S_1 offen	K_{thM}	–	–	0,6	%

Fortsetzung		min.	typ.	max.	
19 kHz-Unterdrückung u_{ppp} = 70 mV f_p = 19 kHz S_1 geschlossen S_2 in Stellung a	a_{19}	28		–	dB
Signal-Störabstand S_1 offen R_l = 2,7 kΩ	a_{SN}	60		–	dB
Ausgangswiderstand	$R_{9/10}$		1,5		kΩ
Schaltschwelle Stereo ein	u_{pss}				
Schaltschwelle Stereo aus	u_{pss}				
Umschalten auf Mono	U_{CC}		4,8		V
Fangbereich	f_F				

[1]) MPX-Signal an Eingang u_{pss} = 700 mV, f_{mod} = 1 kHz, u_{ppp} = 70 mV, f_p = 19,0 kHz

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:
VEB Applikationszentrum Elektronik Berlin
im VEB Kombinat Mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

B 391 D

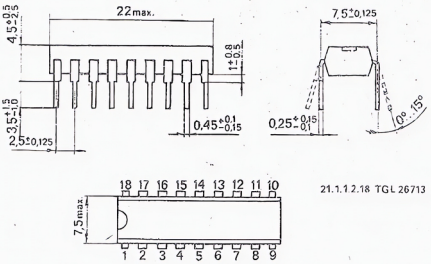
1/85

vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

Motorprozessor für Kassettenlaufwerke

Gehäuse: 18poliges DIL-Plastgehäuse
Bauform: 21.2.1.2.18
Integrationsgrad: IG 3

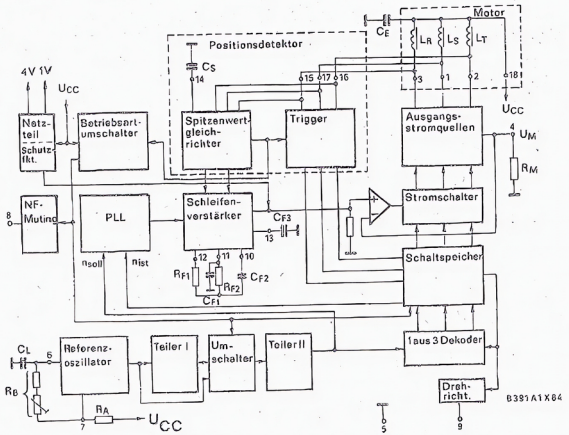


21.1.1.2.18 TGL 26713

Anschlußbelegung:

1 – Ausgang-Spulensystem S
2 – Ausgang-Spulensystem T
3 – Ausgang-Spulensystem R
4 – Ausgangsstrombegrenzung
5 – Masse
6 – Sensoreingang-Oszillator
7 – Entladeausgang-Oszillator
8 – NF-Muting; Kontrollpin für Istdrehzahl
9 – Drehrichtungsvorwahl
10 – Ausgang-Schleifenverstärker
11 – Eingang-Schleifenverstärker
12 – Ausgang-dynamische Regelspannung
13 – Ausgang-statische Regelspannung
14 – Ausgang invertierte Tachospannung
15 – Triggereingang R
16 – Triggereingang T
17 – Triggereingang S
18 – Betriebsspannung U_{CC}

Blockschaltbild:



Funktionsbeschreibung:

Der B 391 D stellt die komplette mikroelektronische Komponente von Elektronikmotorkonzepten für Kassettenlaufwerke der neuen Generation Radiorecorder oder ähnliche Anwendungen dar. Durch den großen Betriebsspannungsbereich (6–20 V) werden die Elektronikmotore universell einsetzbar.
Der B 391 D stellt eine Eigenentwicklung dar. Seine Funktionen beinhalten in der Hauptsache das Anlaufen, den Selbstlauf, die analoge und digitale Drehzahlregelung und die Abkommutierung der Spuleninduktivitäten von kommutatorlosen Motoren. Das Kurz- und Langzeitverhalten der Drehzahl in Abhängigkeit von Temperatur und Betriebsspannung wird im wesentlichen durch die Genauigkeit des integrierten Referenzoszillators und seiner frequenzbestimmenden passiven Komponenten bestimmt. Durch den Referenzoszillator und nachfolgende Teilerketten wird in der Anlaufphase ein Taktregime erzeugt, das

1. das Rücksetzen aller Logikteile in den Grundzustand veranlaßt,
2. den Rotor und den Stator definiert positioniert,
3. den Rotor in Anlaufrichtung (durch entsprechende Pinbeschaltung wählbar) beschleunigt,
4. bei genügend hoher induzierter Motor-EMK (> 150 mV) in die Betriebsart „Selbstlauf" umschaltet.

In der Anlauf- und Selbstlaufphase erfolgt die Beschleunigung der Motordrehzahl mit maximaler Energie, so daß in sehr kurzer Zeit die Nenndrehzahl erreicht ist.
Bis zu diesem Zeitpunkt besteht die Möglichkeit, über einen IS-Anschluß das NF-Signal im Verstärkertrakt zu unterdrücken. Bei Erreichen der Nenndrehzahl erfolgt über die Stromregelung des Motors die Drehzahlkorrektur. Das dazu benötigte Signal wird durch digitalen Vergleich der Ist- mit der Solldrehzahl in einer PLL und durch Überlagerung mit der induzierten Tachospannung gebildet. Ohne Gleichlauffehler ist die Motordrehzahl phasenstarr mit der Referenzfrequenz verkoppelt.
Gleichlauffehler führen zur Phasenmodulation, die durch einen hohen Verstärkungsfaktor dem Fehler entgegenwirkt.
Mehrere integrierte Schutzfunktionen sorgen für eine hohe Lebensdauer der Elektronikmotoren.

Grenzwerte:

		min.	max.	
Betriebsspannung	U_{CC}	6	20	V
Tachospannung	U_T		U_{CCi} $27\,V - U_{CC}$[1])	V
Endstufenstrom $t \leq 10$ s	$I_{1,2,3}$		400	mA
Dauerendstufenstrom	$I_{1,2,3}$		250	mA
Oszillator-Entladestrom	I_7		20	mA
Filterwiderstand	R_{11-12}	19,2	28,8	kΩ
Referenzfrequenz	f_7		100	kHz
Spannung am Drehrichtungseingang	U_{9L}	0	0,3[2])	mV

Fortsetzung		min	max	
Strom am Drehrichtungseingang	I_{9H}	–	10	µA
Muting-Ausgangsspannung	U_{8H}		27	V
Muting-Ausgangsstrom	I_{8L}	–	1	mA
Reststrom Pin 8	I_{R8}	–	250	nA
Oszillator-Sensoreingangsspannung	U_6	0	U_{CC}	V
Verstärkerausgangsstrom	I_{10}	−150	+150	µA
Verstärkereingangsspannung	$U_{12,13}$	0	4	V
Strom am invert. Tachospannungsausgang	I_{14}	0	1	mA
Betriebstemperatur	ϑ_a	−10	70	°C
Gesamtverlustleistung	P_{tot}	–	750	mW

[1]) U_T wird gegen U_{CC} gemessen

[2]) Bei Überschreitung ist Funktion nicht gewährleistet

Hauptkenngrößen ($U_{CC} = U_{14} = 15$ V; $U_{1,2,3} = 6$ V, $U_{15,16,17} = 16$ V; $R_7 = 56$ kΩ; $R_8 = 7{,}5$ kΩ; $C_5 = 330$ pF; $R_9 = 24$ kΩ; $R_6 = 10$ Ω; falls nicht anders angegeben und bei $\vartheta_a = 25$ °C − 5 K):

		min.	max.	
Stromaufnahme $U_{CC} = U_{14} = 6$ V Oszillator ein $U_{15,16,17} = 9$ V	I_{CC}		18	mA
Ausgangsspannung der Endstufentransistoren in der Betriebsart: Anlauf $I_{1,2,3} = 100$ mA; Oszillator gestoppt; Pin 4 auf Masse	U_1 U_2		0,6	V
$I_{1,2,3} = 350$ mA; Oszillator gestoppt; Pin 4 auf Masse	U_3		1,2	V
Eingangsleitwert der Gleichrichtung $U_{15,16,17} = 22$ V $\left(G_{15,16,17} = \frac{I'_{15,16,17} - I_{15,16,17}}{U'_{15,16,17} - U_{15,16,17}}\right)$ $U_A = 1{,}5$ V Pin 6 mit Masse verbunden	G_{15} G_{16} G_{17}	0,15	0,3	mS

Nebenkenngrößen ($U_{CC} = U_{14} = 15$ V; $U_{1,2,3} = 6$ V; $U_{15,16,17} = 16$ V; $R_8 = 7{,}5$ kΩ; $C_5 = 330$ pF; $R_9 = 24$ kΩ; $R_6 = 10$ Ω; falls nicht anders angegeben und bei $\vartheta_a = 25\,°C - 5$ K)

		min.	max.	
NF-Ausgangsstrom LOW $I_8 = 0{,}5$ mA Betriebsart: Anlauf $U_4 = 1{,}5$ V Pin 6 mit Masse verbunden	U_8		250	mV
Oszillatorentladeausgangsspannung LOW $I_7 = 10$ mA; $U_6 = 12$ V; $U_4 = 1{,}5$ V	U_7		200	mV
Oszillator-Sensoreingangsstrom $U_6 = 3$ V; $U_4 = 1{,}5$ V $U_6 = 7{,}5$ V; $U_4 = 1{,}5$ V	I_6		0,10 2,5	µA µA
Transformierte Tachospannung $U_{15,16,17} = U_{CC}$; $U_4 = 1{,}5$ V $U_{15,16,17} = 20$ V; $U_4 = 1{,}5$ V	U_{14}	14,6 10,7	– 11,8	V V
Spannungsabhängigkeit der Oszillatorfrequenz f'_7 gemessen bei $U_{CC} = 6$ V f_7 gemessen bei $U_{CC} = 10$ V $U_4 = 1{,}5$ V	$\frac{f_7 - f'_7}{4\,f_7}$	–	500	ppm/V
Temperaturabhängigkeit der Oszillatorfrequenz	TK_{OSZ}	– 150	0	ppm/k
Einsatzspannung der Endstufenstrombegrenzung $U_{CC} = U_{14} = 6$ V Oszillator ein	U_4	0,9	1,1	V

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber

vab applikationszentrum elektronik berlin
im vab kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

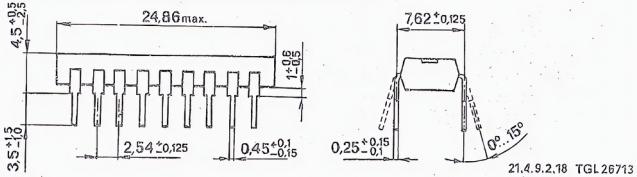
C 570 D / C 571 D

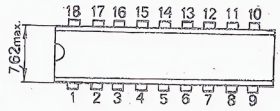
1/85

vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

Die Schaltkreise C 570 D, C 571 D sind monolithisch integrierte Analog-Digital-Wandler für 8 bit und 10 bit Auflösung. Die Wandler arbeiten nach dem sukzessiven Approximationsverfahren. Da sich auf dem Chip ebenfalls die Referenzspannungsquelle und der Taktgenerator befinden, sind die Wandler mit geringer Beschaltung in kostengünstigen 8 bit-, bzw. 10 bit-Applikationen einsetzbar.





Gehäuse: 18poliges DIL-Plastgehäuse
Bauform: 21.1.1.2.18 nach TGL 26 713
Rastermaß 2,54 mm
Reihenabstand 7,62 mm

Anschlußbelegungen:

Pin-Nr.	C 570 D	C 571 D
1	i.V.	Ausgang Bit 9
2	Ausgang Bit 8 (LSB)	Ausgang Bit 8
3	Ausgang Bit 7	Ausgang Bit 7
4	Ausgang Bit 6	Ausgang Bit 6
5	Ausgang Bit 5	Ausgang Bit 5
6	Ausgang Bit 4	Ausgang Bit 4
7	Ausgang Bit 3	Ausgang Bit 3
8	Ausgang Bit 2	Ausgang Bit 2
9	Ausgang Bit 1 (MSB)	Ausgang Bit 1 (MSB)
10	U_{CC1}	U_{CC1}
11	Eing. Löschen/Starten	Eing. Löschen/Starten
12	U_{CC2}	U_{CC2}
13	Analogeingang	Analogeingang
14	Analogmasse	Analogmasse
15	Betriebsartumschaltung	Betriebsartumschaltung
16	Digitalmasse	Digitalmasse
17	STATUS-Ausgang ($\overline{STS}$)	STATUS-Ausgang ($\overline{STS}$)
18	i.V.	Ausgang Bit 10 (LSB)

Grenzwerte:

		min.	max.	
Positive Betriebsspannung	U_{CC1}	0	7	V
Negative Betriebsspannung	U_{CC2}	-16,5	0	V
Differenzeingangsspannung d. Analogeingangs bezogen auf Analogmasse	U_{13-14}	-15	15	V
Spannung am Steuereingang Pin 11	U_{I11}	0	7	V
Zulässige Spannung an den Digitalausgängen im Tristate-Zustand	U_{DQ}	0	U_{CC1}	
Gesamtverlustleistung	P_{tot}		350	mW

Elektrische Kennwerte (ϑ_a = 25 °C -5K)

Auflösung			10,8[x]		bit
Linearitätsfehler	C 571 D	F_{Lin}		± 1	LSB
	C 570 D			± 1/2	LSB
Differentielle Nichtlinearität		DNL		± 1	LSB
				2	LSB

Fortsetzung			min.	max.	
Umsetzzeit	C 571 D	t_c	15	30	µs
	C 570 D		15	40	µs
Stromaufnahme		$I_{CC1}(U_{11}=5\ V)$		5	mA
		$I_{CC1}(U_{11}=0\ V)$		10	mA
		I_{CC2}	-15		mA
Ausgangsspannung[xx]					
(I_{OL} = 3,2 mA)		U_{OL}		0,4	V
(I_{OH} = -0,5 mA)		U_{OH}	2,4		V
Ausgangsleckstrom[xxx] (U_{OQ} = 0 V und U_{OQ} = 5 V)		$/I_{OQ}/$		40	µA

Betriebsbedingungen:		min.	max.	
Positive Betriebsspannung	U_{CC1}	4,5	5,5	V
Negative Betriebsspannung	U_{CC2}	-15,75	-14,25	V
L-Eingangsspannung	U_{IL11}	0	0,8	V
H-Eingangsspannung	U_{IH11}	2,0	5,5	V
Analogeingangsspannung, unipolar	U_{I13U}	0	10	V
Analogeingangsspannung, bipolar	U_{I13B}	-5	5	V
Umgebungstemperatur	ϑ_a	0	70	°C

x nur C 570 D

xx Messung erfolgt nach einen H/L-Sprung der Spannung am Anschluß 11 an den Anschlüssen 9 bis 1 sowie 18 (C 571 D) bzw. 8 bis 1 (C 570 D). Die Einprägung des jeweiligen Stromes I_{OH} bzw. I_{OL} erfolgt erst nach Umsetzung der Eingangsspannung

xxx Messung erfolgt an den Anschlüssen 9 bis 1 Eingangsspannung. (C 571 D) bzw. 8 bis 1 (C 570 D).

Informationswerte:

Betriebsspannungsunterdrückung bei eingestelltem Endwert für U_{CC1} = 4,5 V ... 5,5 V und U_{CC2} = -14,25 ... - 15,75 V	± 2 LSB
Analogeingangswiderstand	3 ... 7 kOhm
Zulässige Spannungsdifferenz zwischen Analog- und Digitalmasse	± 1 V

Applikative Hinweise zum Einsatz des C 571 D / C 570 D

Die Betriebsspannungen des C 571 D / C 570 D sind nahe am Schaltkreis mit 47 µF parallel 47 nF (Scheiben - C) gegen Digitalmasse abzublocken.

Bei der Massefuhrung ist darauf zu achten, daß keine Ströme des Digitalteils über die Analogmasse fließen.

Der Verstärkungsabgleich in Reihe mit dem Analogeingang (13) erfolgt typisch mit C 570 D (8 bit) 20 Ohm/LSB
C 571 D (10 bit) 5 Ohm/LSB,

so daß mit einem 100 Ohm (80 Ohm) Dickschicht - Regler sehr große Bereichsänderungen möglich sind.

Der Abgleich auf 1023 = 10,23 V um 10 mV/LSB zu realisieren ist möglich.

Der Nullpunktabgleich kann aus $\pm U_{CC}$ erfolgen, wenn der Abgleichbereich klein und die Betriebsspannungen stabil sind.

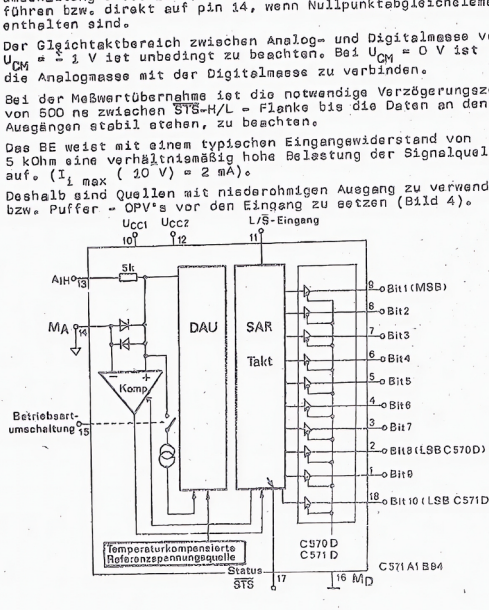
Der Anschluß Betriebsartumschaltung/Eingangsspannungsbereichsumschaltung 0 ... 10 V, ± 5 V, ist auf die Analogmasse zu führen bzw. direkt auf pin 14, wenn Nullpunktabgleichelemente enthalten sind.

Der Gleichtaktbereich zwischen Analog- und Digitalmasse von $U_{CM} = \pm 1$ V ist unbedingt zu beachten. Bei $U_{CM} = 0$ V ist die Analogmasse mit der Digitalmasse zu verbinden.

Bei der Meßwertübernahme ist die notwendige Verzögerungszeit von 500 ns zwischen $\overline{STS}$-H/L - Flanke bis die Daten an den Ausgängen stabil stehen, zu beachten.

Das BE weist mit einem typischen Eingangswiderstand von 5 kOhm eine verhältnismäßig hohe Belastung der Signalquelle auf. ($I_{i\ max}$ (10 V) = 2 mA).

Deshalb sind Quellen mit niederohmigen Ausgang zu verwenden bzw. Puffer - OPV's vor den Eingang zu setzen (Bild 4).



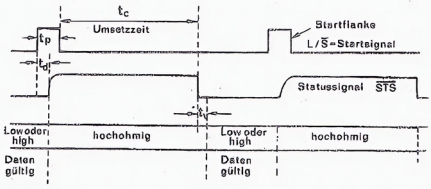
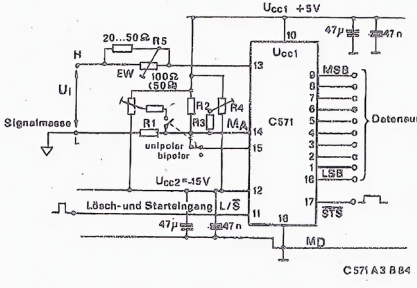


Bild 2: Bei zu großer Startimpulsfrequenz wird die laufende Umsetzung mit der folgenden L/H=Flanke von L/$\overline{S}$ gestoppt und mit der H/L=Flanke eine neue Umsetzung ausgelöst.



	R1	R2	R3	R4	R5
C 570 D	20 Ohm	2,4 k	1,8 k	10 k	20 Ohm/LSB
C 571 D	10 Ohm	2,4 k	4,7 k	10 k	5 Ohm/LSB

Bild 3: Einsatzschaltung des C 571 D mit Abgleichkomponenten (Für einfache Anwendungen können R2 bis R4 entfallen und R1 durch einen Kurzschluß ersetzt werden).

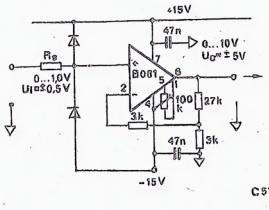


Bild 4: Hochohmiger Vorsatz- OPV mit Eingangsschutzschaltung

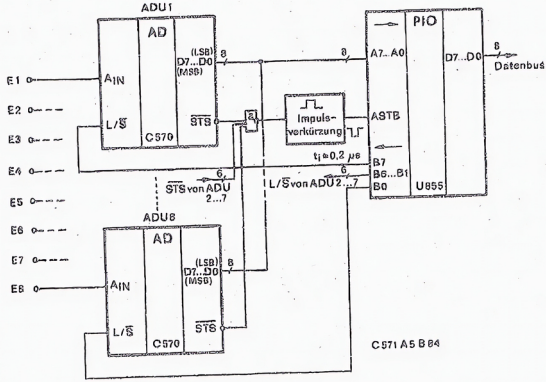


Bild 5: Mikrorechneranpassung von 8 ADU C 570 D (Multiplex) mittels P/O U 855

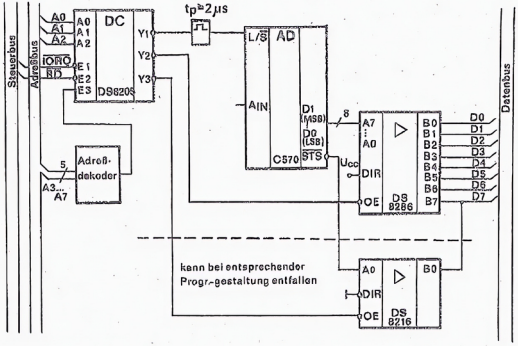


Bild 6: Mikrorechneranpassung (8 Bit-Datenbus)

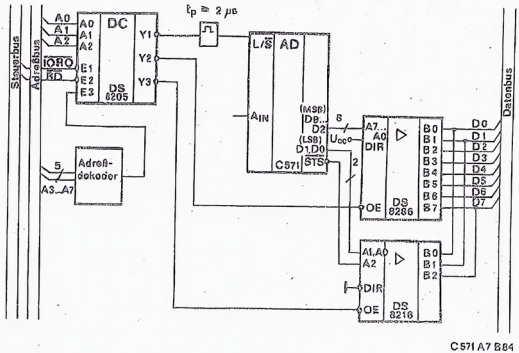


Bild 7: Mikrorechneranpassung (8 Bit-Datenbus)

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:

VEB Applikationszentrum Elektronik Berlin
im VEB Kombinat Mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2861; 011 3055

mikroelektronik

Information

RFT

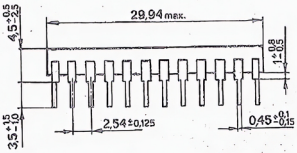
C 5658 D

1/85

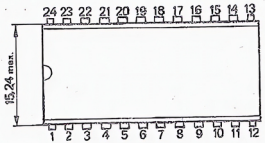
vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

Der C 5658 D ist ein 8-bit-Digital-Analog-Wandler. Er besitzt eine integrierte temperaturkompensierte Z-Dioden-Referenzspannungsquelle und einen Stromausgang. Die Gegenkopplungswiderstände für den Anschluß eines OPV als Strom-Spannungswandler sind mit integriert.



21.3.12.2.24 TGL 26713



Gehäuse: 24poliges DIL-Plastgehäuse
Masse : ≈ 5 g

Bild 1: Abmessungen in mm und Anschlußbelegung

1 - nicht belegt
2 - nicht belegt
3 - positive Betriebsspannung (U_{CC1})
4 - Referenzspannung-Ausgang
5 - Referenzspannung-Masse
6 - Referenzeingang für DAU
7 - negative Betriebsspannung (U_{CC2})
8 - Bipolaroffset-Eingang
9 - Stromausgang DAU
10 - Widerstand 10-V-Bereich
11 - Widerstand 20-V-Bereich
12 - Masse
13 - 16 sind an Masse zu schalten
17 - Eingang Bit 8 (LSB)
18 - Eingang Bit 7
19 - Eingang Bit 6
20 - Eingang Bit 5
21 - Eingang Bit 4
22 - Eingang Bit 3
23 - Eingang Bit 2
24 - Eingang Bit 1 (MSB)

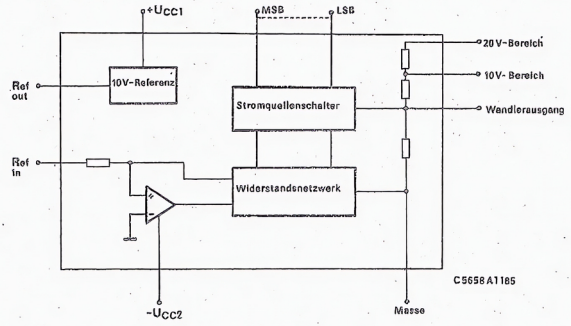


Bild 2: Blockschaltbild des
C 5658 D, C 5650 D,
C 565 D

Grenzwerte, gültig für den Betriebstemperaturbereich:

		min.	max.	
positive Betriebsspannung	U_{CC1}	0	18	V
negative Betriebsspannung	U_{CC2}	-18	0	V
Spannung am Wandlerausgang	U_9	- 3	12	V
Spannung am Referenzeingang	$U_{16,8,10}$	-12	12	V

Bipolaroffseteingang und am
Widerstand für den 10-V-Bereich

Alle Spannungen sind auf Masse bezogen.

Unbenutzte Eingänge sind an Masse zu schalten.

Elektrische Kenndaten, gültig für ϑ_a = 25 °C ± 5 K, U_{CC1} = $-U_{CC2}$ = = 15 V ± 5 % = sofern nicht anders angegeben:

		min.	max.	
Stromaufnahme bei $U_{CC1} = -U_{CC2}$ = 18,0 V ± 1 % $U_{IH17 \ldots 24}$ = 5,5 V ± 5 %	I_{CC1}		5	mA
Stromaufnahme bei $U_{CC1} = -U_{CC2}$ = 18,0 V ± 1 % $U_{IH17 \ldots 24}$ = 5,5 V ± 5 %	I_{CC2}		-25	mA
H-Eingangsströme bei $U_{IH17 \ldots 24}$ = 5,5 V ± 2 %	I_{IH}		0,3	mA
L-Eingangsströme bei $U_{IL17 \ldots 24}$ = 0,8 V ± 2 %	I_{IL}		0,1	mA
Ausgangsstrom bei $U_{17 \ldots 24} = U_{IH}$	$-I_O$	1,6	3,0	mA
Linearitätsfehler	F_{lin}	-1/2	+1/2	LSB
Differentielle Nichtlinearität		-3/4	+3/4	LSB
Referenzausgangsspannung	U_{Oref}	9,3	10,7	V
Informationswert:		min.	max.	
typ. Einschwingzeit bei U_{CC1} = 15 V, ± 5 % U_{CC2} = -15 V ± 5 %			150	ns
Betriebsbedingungen:		min.	max.	
positive Betriebsspannung	U_{CC1}	11,4	16,5	V
negative Betriebsspannung	U_{CC2}	-16,5	-11,4	V
Low-Eingangspegel	U_{IL}	0	0,8	V
High-Eingangspegel	U_{IH}	2,0	5,5	V
Betriebstemperaturbereich	ϑ_a	0	70	°C
Ausgangsspannung für ungepufferten Betrieb des Wandlerausgangs	U_9	-1,5	10	V

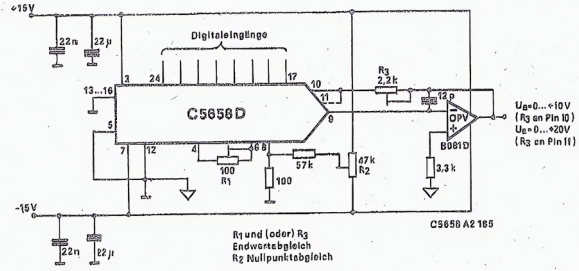
Applikationshinweise:

- Nicht benutzte Digitaleingänge sind an Masse zu schalten.
- Die Betriebsspannungen U_{CC1} und U_{CC2} sind jeweils mit einem Elko 22 µF und einem Scheibenkondensator 22 nF gegen Masse abzublocken.
- Analog- und Digitalmasse sind auf der Leiterplatte getrennt zu führen und am Betriebsspannungsanschluß mit der Masse der Analogausgangsspannung zusammenzuschalten.
- Der Referenzspannungsbereich ist für 8 bit-Genauigkeit U_{Ref} = 1 ... 11 V, in diesem Bereich ist der C 5658 D als multiplizierender D/A-Wandler einsetzbar.
  Der Referenzspannungseingang wird mit einem internen 20 kOhm-Widerstand belastet.
- Mit einem externen OPV können unter Verwendung der internen Widerstände folgende Ausgangsspannungsbereiche eingestellt werden:
  U_O = 0 ... +5 V; 0 ... +10 V; 0 ... +20 V; ±2,5 V; ±5 V; ±10 V.
- Der Nullpunkt- und Verstärkungsabgleich wird mit zwei Spindeleinstellreglern vorgenommen.
- Eine ungepufferte Ausgangsspannung ist mit einem Widerstand vom Stromausgang (Pin 9) gegen Masse möglich.
  Als maximale Ausgangsspannungen sind im Bipolar-Betrieb ±1,5 V und im Unipolarbetrieb U_O = 0 ... -2 V möglich.
- Beim Einsatz des D/A-Wandlers in schnellen Systemen ist darauf zu achten, daß die digitalen Eingangsdaten parallel anliegen. Falls das nicht der Fall ist, sollten diese in einem Register 6 (z. B. DS 8282 D, DS 8283 D) zwischengespeichert werden.

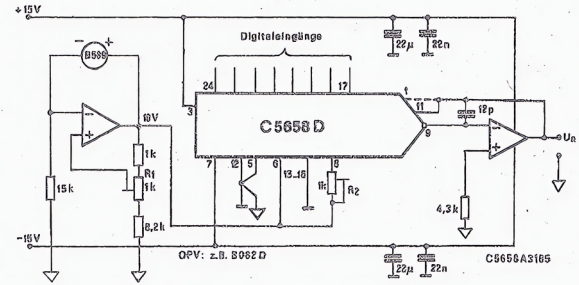
Applikationsbeispiele

1. D/A-Wandler mit interner Referenz und einer unipolaren Ausgangsspannung U_a = 0 ... +10 V (0 ... +20V)

Die maximale Ausgangsfrequenz wird durch die Slew-Rate des OPV festgelegt.



2. D/A-Wandler mit externer Referenz und einer bipolaren Ausgangsspannung $U_a = \pm$ 10 V ($\pm$ 5 V)

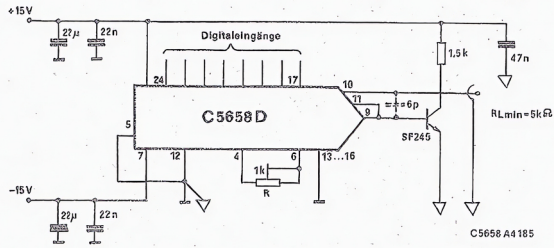


OPV: z.B. B 082 D

R2 Endwertabgleich

R1 Nullpunktabgleich

3. Schneller 8 Bit D/A-Wandler mit Spannungsausgang und AC-Auskopplung (U_a = 5 V)

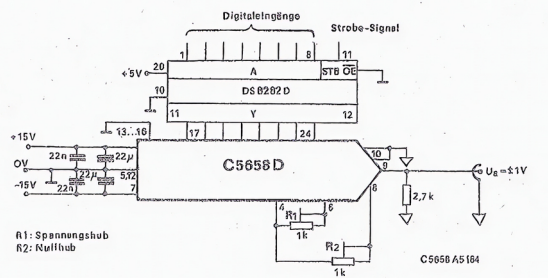


R ~ Spannungshub

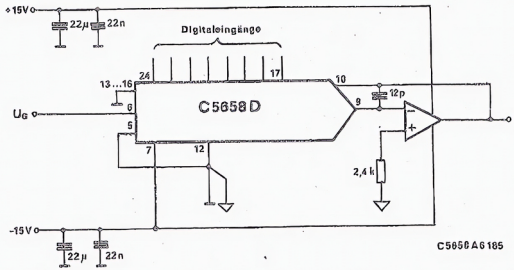
C ~ Formung des Einschwingverhaltens (1 - 2 p)

Zur Nutzung der max. Verarbeitungsbandbreite von ca. 6 MHz sind die digitalen Eingangssignale zwischenzuspeichern, um eine gleichzeitige Ansteuerung der Digitaleingänge zu gewährleisten.

4. Schneller 8 Bit D/A-Wandler mit ungepuffertem Spannungsausgang



5. Digitaler Sinus-Abschwächer (max. Grenzfrequenz 100 kHz)



Bei Beachtung der Slew-Rate des integrierten Regelspannungs-OPV (max. 18 V/ µs) läßt sich die Schaltung auch als Abschwächer für andere Funktionen (Sägezahn, Rechteck ...) verwenden.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:
VEB Applikationszentrum Elektronik Berlin
im VEB Kombinat Mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981, 011 3055

mikroelektronik

Information

RFT

DL 051 D

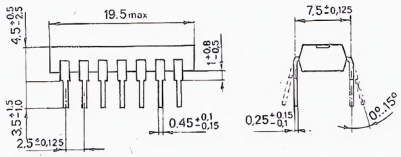
Vergleichstyp: SN 74 LS 51 N

1/85

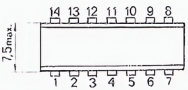
vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

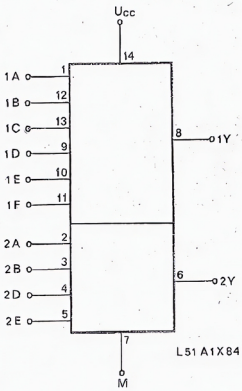
AND-NOR-Gatter DL 051 D
Gehäuse: 14poliges DIL-Plastgehäuse
Bauform: 21.2.1.2.14



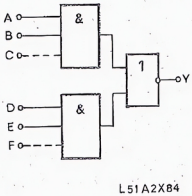
21.2.1.2.14 TGL 26713



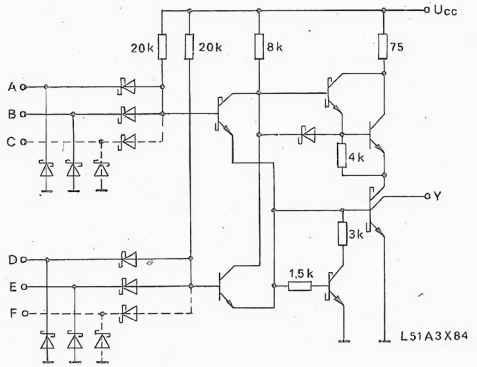
Anschlußbelegung:



Y: Ausgänge
A, B, C, D, E, F: Eingänge
M: Masse



Schaltung eines Gatters:



Funktionsbeschreibung und logische Funktion:

DL 051 D – 1 AND-NOR-Gatter mit 2 × 3 Eingängen und
1 AND-NOR-Gatter mit 2 × 2 Eingängen
$y = \overline{ABC + DEF}$ bzw. $y = \overline{AB + DE}$

Betriebsbedingungen:

		min.	typ.	max.	
Betriebsspannung	U_{CC}	4,75	5	5,25	V
Umgebungstemperatur	ϑ_a	0		70	°C
H-Ausgangsstrom	$-I_{OH}$			400	µA
L-Ausgangsstrom	I_{OL}			8	mA
H-Eingangsspannung	U_{IH}	2			V
L-Eingangsspannung	U_{IL}			0,8	V

Statische Kennwerte (gültig für $\vartheta_a = 0 \ldots 70$ °C):

		min.	typ.	max.	
Eingangsclampingspannung $U_{CC} = 4{,}75$ V $-I_I = 18$ mA	$-U_{IK}$			1,5	V
H-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IL} = 0{,}8$ V $-I_{OH} = 400$ µA	U_{OH}	2,7			V
L-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IH} = 2{,}0$ V $I_{OL} = 8$ mA	U_{OL}			0,5	V
$I_{OL} = 4$ mA				0,4	V
H-Eingangsstrom $U_{CC} = 5{,}25$ V $U_{IH} = 2{,}7$ V	I_{IH}			20	µA
$U_{IH} = 7{,}0$ V				100	µA
L-Eingangsstrom $U_{CC} = 5{,}25$ V $U_{IL} = 0{,}4$ V	$-I_{IL}$			−360	µA
Ausgangskurzschlußstrom[1] $U_{CC} = 5{,}25$ V[1]	$-I_{OS}$	20		100	mA

Nebenkenngrößen

		min.	max.	
Stromaufnahme des Schaltkreises bei H-Pegel an allen Ausgängen U_{CC} = 5,25 V U_{IL} = 0 V	I_{CCH}		1,6	mA
Stromaufnahme des Schaltkreises bei L-Pegel an allen Ausgängen U_{CC} = 5,25 V U_{IH} = 4,5 V	I_{CCL}		2,8	mA

[1]) Nicht mehr als 1 Ausgang kurzgeschlossen und Dauer des Kurzschlusses < 1 s.

Dynamische Kennwerte (gültig für ϑ_a = 25 °C, U_{CC} = 5 V):

		min	max.	
C_L = 50 pF R_L = 500 Ω	t_{PLH}		23	ns
C_L = 50 pF R_L = 500 Ω	t_{PHL}		21	ns

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber
veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2961, 011 3055

mikroelektronik

Information

RFT

DL 086 D

Vergleichstyp: **SN 74 LS 86 N**

1/85

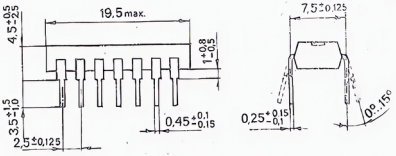
vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

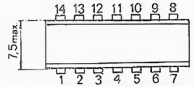
Exklusiv-Oder-Gatter DL 086 D

Gehäuse: 14poliges DIL-Plastgehäuse

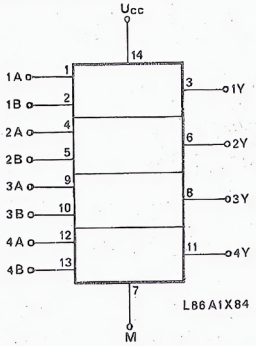
Bauform: 21.2.1.2.14



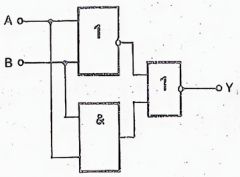
21.2.1.2.14 TGL 26713



Anschlußbelegung:



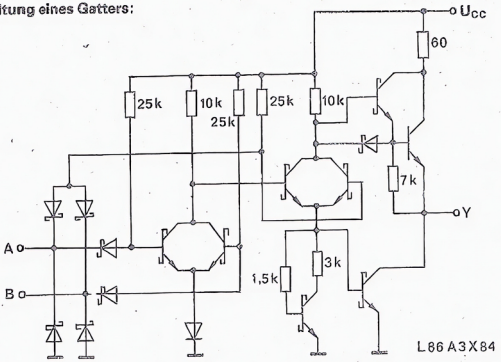
L86 A1X84



L86 A2X84

Y: Ausgänge
A, B: Eingänge
M: Masse

Schaltung eines Gatters:



L86 A3X84

Funktionsbeschreibung und logische Funktion:

DL 086 D – 4 Exklusiv-Oder-Gatter mit je 2 Eingängen
$-y = A\overline{B} + \overline{A}B$

Betriebsbedingungen:

		min.	typ.	max.	
Betriebsspannung	U_{CC}	4,75	5	5,25	V
Umgebungstemperatur	ϑ_a	0		70	°C
H-Ausgangsstrom	$-I_{OH}$			400	µA
L-Ausgangsstrom	I_{OL}			8	mA
H-Eingangsspannung	U_{IH}	2			V
L-Eingangsspannung	U_{IL}			0,8	V

Statische Kennwerte (gültig für $\vartheta_a = 0 \ldots 70$ °C):

		min.	typ.	max.	
Eingangsclampingspannung $U_{CC} = 4{,}75$ V $-I_I = 18$ mA	$-U_{IK}$			1,5	V
H-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IL} = 0{,}8$ V $-I_{OH} = 400$ µA	U_{OH}	2,7			V
L-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IH} = 2{,}0$ V $U_{IL} = 0{,}8$ V $I_{OL} = 8$ mA	U_{OL}			0,5	V
$I_{OL} = 4$ mA				0,4	V
H-Eingangsstrom $U_{CC} = 5{,}25$ V $U_{IH} = 2{,}7$ V	I_{IH}			40	µA
$U_{IH} = 7{,}0$ V				200	µA
L-Eingangsstrom $U_{CC} = 5{,}25$ V $U_{IL} = 0{,}4$ V	$-I_{IL}$			720	µA
Ausgangskurzschlußstrom[1] $U_{CC} = 5{,}25$ V[1]	$-I_{OS}$	20		100	mA
$U_{CC} = 5{,}25$ V	I_{CC}[2]			10	mA

[1] Nicht mehr als 1 Ausgang gleichzeitig kurzgeschlossen. Dauer des Kurzschlusses < 1 s.

[2] I_{CC} wird bei auf Masse gelegten Eingängen gemessen.

Dynamische Kennwerte (gültig für $\vartheta_a = 25\,°C$, $U_{CC} = 5\,V$):

		min.	max.	
$C_L = 50\,pF$ $R_L = 500\,\Omega$ anderer Eingang low	t_{PLH}		25	ns
	t_{PHL}		18	ns
$C_L = 50\,pF$ $R_L = 500\,\Omega$ anderer Eingang high	t_{PLH}		33	ns
	t_{PHL}		23	ns

Die vorliegenden Datenblätter dienen ausschließlich der Information!
Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden.
Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:
veb applikationszentrum elektronik berlin
im veb kombinat nachrichtenelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

DL 155 D

Vergleichstyp: **SN 74 LS 155 N**

1/85

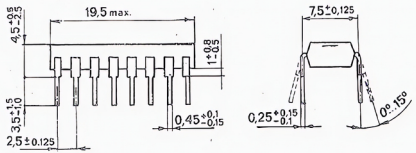
vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

Zweifach-2 auf 4-Dekoder/Demultiplexer DL 155 D

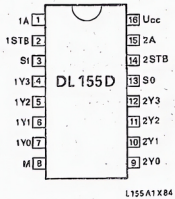
Gehäuse: 16poliges DIL-Plastgehäuse

Bauform: 21.1.1.2.16



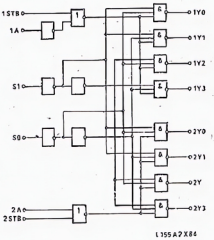
21.1.1.2.16 TGL 26713

Anschlußbelegung:



Y: Ausgänge
S0, S1: Adresseingänge
A: Dateneingänge
STB: STROBE-Eingänge

Schaltungsbeschreibung und log. Funktion:



Funktionstabelle des DL 155 D

Eingänge				Ausgänge				Eingänge				Ausgänge			
Adresse		STRO-BE	Da-ten	1Y0	1Y1	1Y2	1Y3	Adresse		STRO-BE	Da-ten	2Y0	2Y1	2Y2	2Y3
S_1	S_2	1STB	1 A					S_1	S_0	2STB	2 A				
X	X	H	X	H	H	H	H	X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H	L	L	L	L	L	H	H	H
L	H	L	H	H	L	H	H	L	H	L	L	H	L	H	H
H	L	L	H	H	H	L	H	H	L	L	L	H	H	L	H
H	H	L	H	H	H	H	L	H	H	L	L	H	H	H	L
X	X	X	L	H	H	H	H	X	X	X	H	H	H	H	H

Der Schaltkreis DL 155 D ist ein Zweifach-2 auf 4-Dekoder der auch als 1 auf 4-Demultiplexer, 1 auf 8-Demultiplexer und 3 auf 8-Dekoder eingesetzt werden kann.
Mit der Adressinformation an S0, S1 wird über die Adressgatter und die Schottkydiodenmatrix jeweils eine der vier Ausgangsstufen in jeder der beiden Teilschaltungen freigegeben, über die dann das Eingangssignal von den Eingängen A und STB zum entsprechenden Ausgang Y gelangt. Die Eingänge A und STB sind miteinander NOR-verknüpft; wobei in der Teilschaltung 1 die Information am Dateneingang A zusätzlich negiert wird.
Werden die Eingänge STB und A beider Teilschaltungen jeweils miteinander verbunden, so wirkt die Information an A als drittes Adress-bit und STB als Dateneingang eines 1 auf 8-Demultiplexers.

Betriebsbedingungen:

		min.	typ.	max.	
Betriebsspannung	U_{CC}	4,75	5	5,25	V
Umgebungstemperatur	ϑ_a	0		70	°C
H-Ausgangsstrom	$-I_{OH}$			400	µA
L-Ausgangsstrom	I_{OL}			8	mA
H-Eingangsspannung	U_{IH}	2			V
L-Eingangsspannung	U_{IL}			0,8	V

Statische Kennwerte (gültig für $\vartheta_a = 0 \ldots 70$ °C):

		min.	typ.	max.	
Eingangsclampingspannung $U_{CC} = 4{,}75$ V $-I_I = 18$ mA	$-U_{IK}$			1,5	V
H-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IH} = 2{,}0$ V $U_{IL} = 0{,}8$ V $-I_{OH} = 0{,}4$ mA	U_{OH}	2,7			V
L-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IH} = 2{,}0$ V $U_{IL} = 0{,}8$ V $I_{OL} = 4$ mA $I_{OL} = 8$ mA	U_{OL}			0,4 0,5	V V
H-Eingangsstrom $U_{CC} = 5{,}25$ V $U_{IH} = 2{,}7$ V $U_{IH} = 7{,}0$ V	I_{IH}			20 100	µA µA

		min.	typ.	max.	
L-Eingangsstrom U_{CC} = 5,25 V U_{IL} = 0,4 V	$-I_{IL}$			0,36	mA
Ausgangskurzschlußstrom U_{CC} = 5,25 V[1])	$-I_{OS}$	30		130	mA

Nebenkenngrößen:

U_{CC} = 5,25 V U_{IH} = 4,5 V U_{IL} = 0 V[2])	I_{CC}			10	mA

[1]) Nicht mehr als 1 Ausgang gleichzeitig kurzschließen. Dauer des Kurzschlusses < 1 s.

[2]) Eingänge S0, S1, 1 A auf H-Pegel, Eingänge 2 A, 1 STB, 2 STB auf L-Pegel.

Dynamische Kennwerte (gültig für ϑ_a = 25 °C −5 K, U_{CC} = 5 V):

	von	nach		max.	
Verzögerungszeit für LH-Übergang am Ausgang U_{IL} = 0 V U_{IH} = 4,5 V R_L = 500 Ω C_L = 50 pF	1 STB 2 STB 2 A	Y	t_{pLH}	18	ns
Verzögerungszeit für HL-Übergang am Ausgang	1 STB 2 STB 2 A	Y	t_{pHL}	31	ns
S0	S0, S1	Y	t_{pLH} [1])	29	ns
	S0, S1	Y	t_{pHL}	31	ns
	1 A	Y	t_{pLH}	30	ns
	1 A	Y	t_{pHL}	28	ns

[1]) Die Verzögerungszeiten sind an den Ausgängen Y 3 zu messen.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Meinzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981, 011 3055

mikroelektronik

Information

RFT

DL 175 D

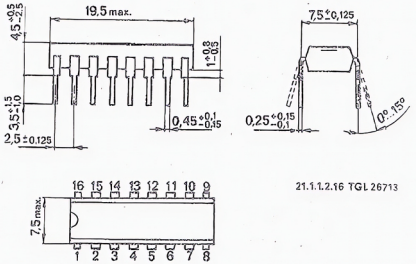
Vergleichstyp: **SN 74 LS 175 N**

1/85

vorläufige technische Daten

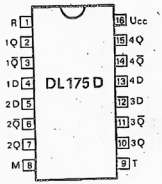
Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

Vierfach D-FF DL 175 D
Gehäuse: 16poliges DIL – Plastgehäuse
Bauform: 21.1.1.2.16



21.1.1.2.16 TGL 26713

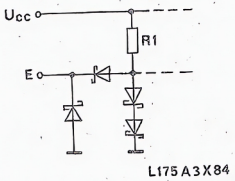
Anschlußbelegung:



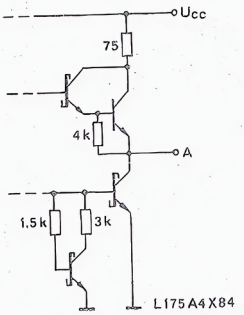
D: Dateneingänge
T: Takteingang
R: RESET-Eingang
Q: Ausgänge
$\overline{Q}$: negierte Ausgänge

Schaltung eines D-FF:

Eingangsstufe

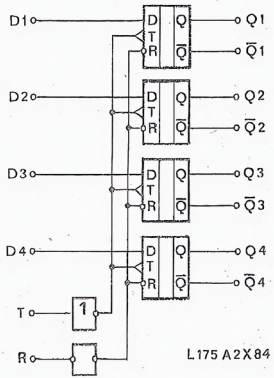


Ausgangsstufe



R_1 = 20 kΩ Norm für D-, Clear-Eingang
R_1 = 17 kΩ Norm für T-Eingang

Logisches Schaltbild:



Funktionsbeschreibung und logische Funktion:

DL 175 D – 4 D-FF mit gemeinsamen Rücksetzeingang, Q/Q̄-Ausgang

R	T	D	Q	Q̄
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Qo	Q̄o

↑ Schaltflanke L-H

Das FF DL 175 D ist ein D-FF mit gemeinsamen Rücksetz- und Takteingang. Es schaltet mit der L-H-Flanke am Takteingang, d. h. die Information am D-Eingang wird mit diesem Impuls zum Ausgang Q übertragen.

Betriebsbedingungen:

		min.	typ.	max.	
Betriebsspannung	U_{CC}	4,75	5	5,25	V
Umgebungstemperatur	ϑ_a	0		70	°C
H-Ausgangsstrom	$-I_{OH}$			400	µA
L-Ausgangsstrom	I_{OL}			8	mA
Haltezeit	t_H	5			ns
Voreinstellzeit	t_{su}				
– D-Eingang		20			ns
– R-Eingang H		25			ns
Impulsbreite	t_w	20			ns
H-Eingangsspannung	U_{IH}	2			V
L-Eingangsspannung	U_{IL}			0,8	V

Statische Kennwerte (gültig für $\vartheta_a = 0 \ldots 70$ °C):

		min.	max.	
Eingangsclampingspannung $U_{CC} = 4{,}75$ V $I_I = 18$ mA	$-U_{IK}$		1,5	V
H-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IL} = 0{,}8$ V $U_{IH} = 2$ V $I_{IH} = 400$ µA	U_{OH}	2,7		V
L-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IL} = 0{,}8$ V $U_{IH} = 2{,}0$ V $I_{OL} = 8$ mA	U_{OL}		0,5	V
$I_{OL} = 4$ mA			0,4	V
H-Eingangsstrom Eingänge R, D, T $U_{CC} = 5{,}25$ V $U_{IH} = 2{,}7$ V	I_{IH}		20	µA
$U_{IH} = 7{,}0$ V			100	µA

		min.	max.	
L-Eingangsstrom Eingänge R, D, T U_{CC} = 5,25 V U_{IL} = 0,4 V	$-I_{IL}$		360	µA
Ausgangskurzschlußstrom[1] U_{CC} = 5,25 V	$-I_{OS}$	20	100	mA
Stromaufnahme U_{CC} = 5,25 V alle Ausgänge offen D, R → 4,5 V vor Messung LH-Flanke an T	I_{CC}		18	mA

[1]) Nicht mehr als 1 Ausgang gleichzeitig Prüfzeit < 1 s.

Dynamische Kennwerte (gültig für ϑ_a = 25 °C −5 K, U_{CC} = 5 V):

		min.	max.	
R → Q, $\overline{Q}$ C_L = 50 pF R_l = 500 Ω	t_{pLH}		28	
R → Q, $\overline{Q}$	t_{pHL}		36	
T → Q, $\overline{Q}$	t_{pLH}		31	
T → Q, $\overline{Q}$	t_{pHL}		33	
max Taktfrequenz	f_{max}	30		MHz

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

Herausgeber:

VEB Applikationszentrum Elektronik Berlin
im VEB Kombinat Mikroelektronik

DDR-8136 Berlin, Mainzer Straße 25
Telefon: 5 60 05 71, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

DL 194 D

Vergleichstyp: **SN 74 LS 194 N**

1/85

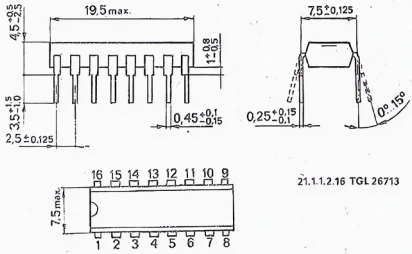
vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

Bidirektionales 4-bit-Universalschieberegister

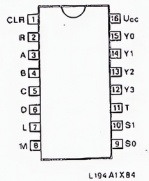
Gehäuse: 16poliges Plastgehäuse

Bauform: 21.1.1.2.16



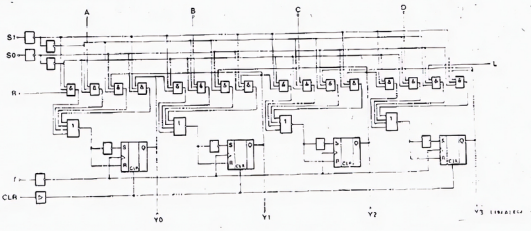
21.1.1.2.16 TGL 26713

Anschlußbelegung:



Y:	Ausgänge
R:	serieller Eingang für Rechtsschieben
L:	serieller Eingang für Linksschieben
CLR:	Clear-Eingang
A, B, C, D:	Paralleleingänge
S0, S1:	Steuereingänge für Betriebsart
T:	Takteingang

Logisches Schaltbild:



Funktionsbeschreibung und logische Funktion:

Der Schaltkreis DL 194 D ist ein bidirektionales 4-bit-Schieberegister für universelle Anwendungsfälle. Neben dem Links- und Rechtsschiebebetrieb gestattet es paralleles Einlesen der 4-bit-Information sowie das Herstellen eines passiven Zustandes, in dem die zuletzt eingeschriebene Information trotz weiterer Taktflanken erhalten bleibt und an den Ausgängen zur Verfügung steht.
Jedes der vier taktflankengesteuerten RS-FF's wird von einer Torschaltung mit 4 Eingängen angesteuert. Je nach anliegender Adresse an S0, S1 wird einer dieser Eingänge für das einzuschreibende Datensignal freigegeben:

S1	S0	
H	H	– Datensignal von Paralleleingängen
L	H	– Datensignal von R bzw. vom vorhergeltenden Ausgang (Rechtsschieben)
H	L	– Datensignal von L bzw. vom folgenden Ausgang (Linksschieben)
L	L	– Datensignal von eigenen Ausgang (Beibehalten der alten Information)

Die FF's schalten mit der LH-Flanke am T-Eingang.
Mit CLR = LOW lassen sich alle 4 FF's aus LOW-Pegel an den Ausgängen zurücksetzen. Dieser Eingang hat die höchste Priorität.

Funktionstabelle des DL 194 D:

Eingänge										Ausgänge			
CLEAR	Betriebsart		Takt	Serielle Eingänge		Paralleleingänge							
CLR	S1	S0	T	L	R	A	B	C	D	Y0	Y1	Y2	Y3
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	$Y_{0(t-1)}$	$Y_{1(t-1)}$	$Y_{2(t-1)}$	$Y_{3(t-1)}$
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	r	X	X	X	X	r	$Y_{0(t-1)}$	$Y_{1(t-1)}$	$Y_{2(t-1)}$
H	H	L	↑	l	X	X	X	X	X	$Y_{1(t-1)}$	$Y_{2(t-1)}$	$Y_{3(t-1)}$	l
H	L	L	X	X	X	X	X	X	X	$Y_{0(t-1)}$	$Y_{1(t-1)}$	$Y_{2(t-1)}$	$Y_{3(t-1)}$

X: beliebiger Zustand
↑ LH-Flanke
a, b, c, d: Statischer H- oder L-Pegel während der LH-Flanke

Betriebsbedingungen:

		min.	typ.	max.	
Betriebsspannung	U_{CC}	4,75	5	5,25	V
Umgebungstemperatur	ϑ_a	0		70	°C
H-Ausgangsstrom	$-I_{OH}$			0,4	mA
L-Ausgangsstrom	I_{OL}			8	mA
H-Eingangsspannung	U_{IH}	2			V
L-Eingangsspannung	U_{IL}			0,8	V
Impulsbreite für Takt- und Rücksetzimpulse	t_w	20			ns
Voreinstellzeit für S0, S1	t_{SU}	30			ns
für A, B, C, D, L, R	t_{SU}	20			ns
für Rücksetz-LH-Flanke an CLR	t_{SU}	25			ns
Haltezeit	t_h	0			

Statische Kennwerte (gültig für $\vartheta_a = 0 \ldots 70$ °C):

		min.	max.	
Eingangsclampingspannung $U_{CC} = 4{,}75$ V $-I_I = 18$ mA	$-U_{IK}$		1,5	V
H-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IH} = 2{,}0$ V $U_{IL} = 0{,}8$ V $-I_{OH} = 0{,}4$ mA	U_{OH}	2,7		V
L-Ausgangsspannung $U_{CC} = 4{,}75$ V; $I_{OL} = 4$ mA $U_{IH} = 2{,}0$ V	U_{OL}		0,4	V
$U_{IL} = 0{,}8$ V; $I_{OL} = 8$ mA			0,5	V
H-Eingangsstrom $U_{CC} = 5{,}25$ V; $U_{IH} = 2{,}7$ V $U_{IH} = 7$ V	I_{IH}		20 100	µA µA
L-Eingangsstrom[2] $U_{CC} = 5{,}25$ V $U_{IL} = 0{,}4$ V	$-I_{IL}$		360	µA
Ausgangskurzschlußstrom[1] $U_{CC} = 5{,}25$ V	$-I_{OS}$	30	130	mA
Stromaufnahme des Schaltkreises[3] $U_{CC} = 5{,}25$ V	I_{CC}		23	mA

Dynamische Kennwerte (gültig für $\vartheta_a = 25\,°C - 5\,K$, $U_{CC} = 5\,V$):

	von	nach		min.	max.	
Verzögerungszeit für HL-Übergang am Ausgang $U_{IL} = 0\,V$ $U_{IH} = 4{,}5\,V$ $R_L = 500\,\Omega$ $C_L = 50\,pF$	T	Y	t_{pHL}		27	ns
Verzögerungszeit für LH-Übergang am Ausgang	T	Y	t_{pLH}		25	ns
	CLR	Y	t_{pHL}		31	ns
Taktfrequenz $U_{CC} = 5\,V$			f_T	25		MHz

[1]) Nicht mehr als 1 Ausgang gleichzeitig kurzschließen. Dauer des Kurzschlusses < 1 s.

[2]) Für die Messung der Eingänge A, B, C, D ist S0, S1 auf H-Pegel zu legen. Für die Messung des Eingangs L ist S0 auf L-Pegel und S1 auf H-Pegel zu legen. Für die Messung des Einganges R ist S0 auf H-Pegel und S1 auf L-Pegel zu legen.

[3]) A, B, C, D = LOW, S0, S1, CLR, L, R = HIGH vor Messung LH-Flanke an T.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

Herausgeber:

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21 Telex: 011 2961; 011 3055

mikroelektronik

Information

RFT

DL 251 D

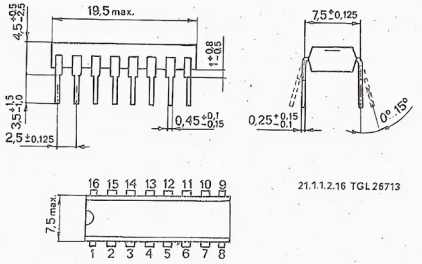
Vergleichstyp: SN 74 LS 251 N

1/85

vorläufige technische Daten

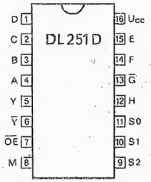
Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

8 auf 1-Multiplexer DL 251 D
Gehäuse: 16poliges DIL-Plastgehäuse
Bauform: 21.1.1.2.16



21.1.1.2.16 TGL 26713

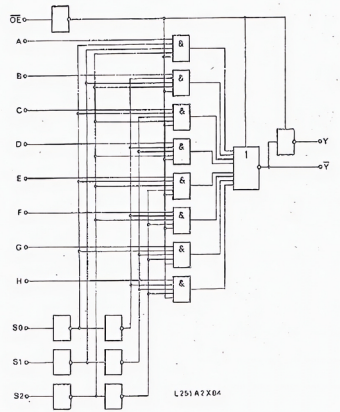
Anschlußbelegung:



L251A1X84

A bis H: Dateneingänge
S0, S1, S2: Adresseingänge
$\overline{OE}$: Output Enable
Y, $\overline{Y}$: Ausgänge

Schaltungsbeschreibung und logische Funktion:



L251A2X84

Funktionstabelle:

Eingänge			Ausgänge		
Adresse			$\overline{OE}$	Y	$\overline{Y}$
S2	S1	S0			
X	X	X	H	Z	Z
L	L	L	L	A	$\overline{A}$
L	L	H	L	B	$\overline{B}$
L	H	L	L	C	$\overline{C}$
L	H	H	L	D	$\overline{D}$
H	L	L	L	E	$\overline{E}$
H	L	H	L	F	$\overline{F}$
H	H	L	L	G	$\overline{G}$
H	H	H	L	H	$\overline{H}$

Der Schaltkreis DL 251 D ist ein 8 auf 1-Multiplexer mit 3-STATE-Ausgängen. Mit der Adressinformation an S0, S1 und S2 wird über die Adressgatter und über die Schottky-diodenmatrix jeweils ein Eingang des 8fach-Odergatters freigegeben, die restlichen Dateneingänge bleiben gesperrt.
Die Dateninformation des adressierten Einganges liegt dann negiert am Ausgang $\overline{Y}$ an und wird über ein zweites Ausgangsgatter nicht negiert an den Ausgang Y gegeben. Beide Ausgänge lassen sich über OE in den hochohmigen Zustand Z schalten.

Betriebsbedingungen:

		min.	typ.	max.	
Betriebsspannung	U_{CC}	4,75	5	5,25	V
Umgebungstemperatur	ϑ_a	0		70	°C
H-Ausgangsstrom	$-I_{OH}$			2,6	mA
L-Ausgangsstrom	I_{OL}			8	mA
H-Eingangsspannung	U_{IH}	2			V
L-Eingangsspannung	U_{IL}			0,8	V

Statische Kennwerte (gültig für $\vartheta_a = 0 \ldots 70\,°C$):

		min.	max.	
Eingangsclampingspannung $U_{CC} = 4{,}75$ V $-I_I = 18$ mA	$-U_{IK}$		1,5	V
H-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IH} = 2{,}00$ V $U_{IL} = 0{,}8$ V $-I_{OH} = 2{,}6$ mA	U_{OH}	2,4		V
L-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IH} = 2{,}0$ V $U_{IL} = 0{,}8$ V $I_{OL} = 4$ mA $I_{OL} = 8$ mA	U_{OL}		0,4 0,5	V V
H-Eingangsstrom $U_{CC} = 5{,}25$ V $U_{IH} = 2{,}7$ V	I_{IH}		20 100	µA µA
L-Eingangsstrom $U_{CC} = 5{,}25$ V $U_{IL} = 0{,}4$ V[2]	$-I_{IL}$		360	µA
Ausgangskurzschlußstrom $U_{CC} = 5{,}25$ V[1]	$-I_{OS}$	30	130	mA
Ausgangsstrom im hochohmigen Zustand $U_{CC} = 5{,}25$ V $U_{IH} = 2{,}0$ V $U_{OH} = 2{,}7$ V $U_{IL} = 0{,}8$ V $U_{OL} = 0{,}4$ V	I_{OZH}		20 20	µA µA

[1]) Nicht mehr als 1 Ausgang kurzschließen.
Dauer des Kurzschlusses < 1 s.

[2]) Der jeweils zu messende Dateneingang muß entsprechend der Logik durch S0, S1, S2 adressiert werden.

Dynamische Kennwerte (gültig für $\vartheta_a = 25\,°C - 5\,K$, $U_{CC} = 5\,V$):

von	von	nach	max.		
Verzögerungszeit für LH-Übergang am Ausgang	S0 S1 S2	Y	t_{pLH}		
$U_{IL} = 0\,V$ $U_{IH} = 4{,}5\,V$ $R_L = 500\,\Omega$ $C_L = 50\,pF$				45	ns
Verzögerungszeit für HL-Übergang am Ausgang	S0 S1 S2[1]	Y	t_{pHL}	45	ns
	A bis H	Y	t_{pLH}	28	ns
			t_{pHL}	28	ns
	A bis H	$\overline{Y}$	t_{pLH}	18	ns
			t_{pHL}	17	ns
Freigabezeit zu H-Pegel am Ausgang	$\overline{OE}$	Y	t_{pZH}	45	ns
Freigabezeit zu L-Pegel am Ausgang	$\overline{OE}$	Y	t_{pZL}	40	ns
	$\overline{OE}$	$\overline{Y}$	t_{pZH}	27	ns
	$\overline{OE}$	$\overline{Y}$	t_{pZL}	40	ns
Verzögerungszeit für Übergang von H-Pegel zu hochomigen Zustand am Ausgang $U_{IL} = 0\,V$ $U_{IH} = 4{,}5\,V$ $R_L = 500\,\Omega$ $C_L = 50\,pF$	$\overline{OE}$	Y	t_{pHZ}	45	ns
	$\overline{OE}$	$\overline{Y}$		55	ns
Verzögerungszeit für Übergang von L-Pegel zu hochohmigen Zustand am Ausgang	$\overline{OE}$	Y	t_{pLZ}	25	ns
	$\overline{OE}$	$\overline{Y}$	t_{pLZ}	25	ns

[1]) Die Dateneingänge A, B, C, D, E, F, G sind auf L-Pegel und der Dateneingang H auf H-Pegel zu legen.

Nebenkenngrößen:

		min.	max.	
Stromaufnahme des Schaltkreises bei aktiven Ausgängen U_{CC} = 5,25 V U_{IH} = 4,5 V U_{IL} = 0 V[3]	I_{CC}		10	mA
Stromaufnahme des Schaltkreises bei hochohmigen Zustand an den Ausgängen U_{CC} = 5,25 V U_{IH} = 4,5 V[4]	I_{CCZ}		12	mA

[3]) $\overline{OE}$ = LOW, alle anderen Eingänge auf H-Pegel

[4]) alle Eingänge auf H-Pegel

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981, 011 3055

mikroelektronik

Information

RFT

DL 253 D

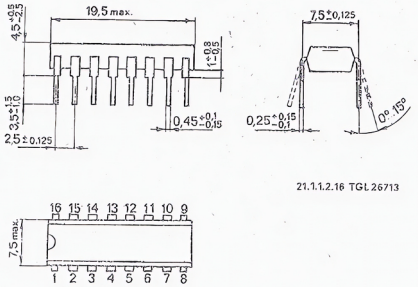
Vergleichstyp: **SN 74 LS 253 N**

1/85

vorläufige technische Daten

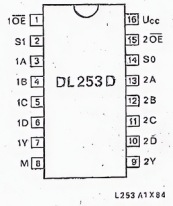
Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

Zweifach-4 auf 1-Multiplexer DL 253 D
Gehäuse: 16poliges DIL – Plastgehäuse
Bauform: 21.1.1.2.16



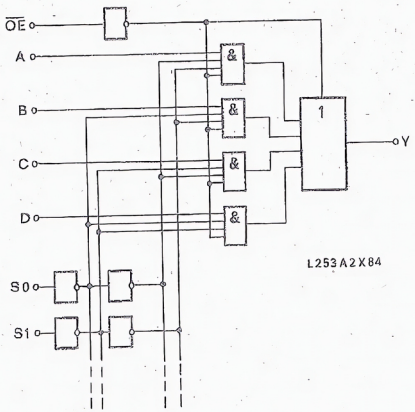
21.1.1.2.16 TGL 26713

Anschlußbelegung:



A bis D:	Dateneingänge
S0, S1:	Adresseingänge
$\overline{OE}$:	Output Enable
Y:	Ausgänge

Logisches Schaltbild:



Schaltungsbeschreibung und logische Funktion:

Funktionstabelle des DL 253 D:

Eingänge			Ausgang
Adresse		$\overline{OE}$	Y
S1	S0		
X	X	H	Z
L	L	L	D
L	H	L	C
H	L	L	B
H	H	L	A

Der Schaltkreis DL 253 D ist ein Zweifach-4 auf 1-Multiplexer mit 3-STATE-Ausgängen. Mit der Adressinformation an S0 und S1 wird über die Adressgatter und über die Schottkydiodenmatrix jeweils ein Eingang der beiden 4fach Odergatter freigegeben, die restlichen Dateneingänge bleiben gesperrt.
Die Dateninformation der adressierten Eingänge liegt dann nicht negiert an den Ausgängen Y an.
Die Ausgänge lassen sich über $\overline{OE}$ in den hochohmigen Zustand Z schalten.

Betriebsbedingungen:

		min.	typ.	max.	
Betriebsspannung	U_{CC}	4,75	5	5,25	V
Umgebungstemperatur	ϑ_a	0		70	°C
H-Ausgangsstrom	$-I_{OH}$			2,6	mA
L-Ausgangsstrom	I_{OL}			8	mA
H-Eingangsspannung	U_{IH}	2			V
L-Eingangsspannung	U_{IL}			0,8	V

Statische Kennwerte (gültig für $\vartheta_a = 0 \ldots 70\,°C$):

		min.	max.	
Eingangsclampingspannung $U_{CC} = 4{,}75\,V$ $-I_L = 18\,mA$	$-U_{IK}$		1,5	V
H-Ausgangsspannung $U_{CC} = 4{,}75\,V$ $U_{IH} = 2{,}0\,V$ $U_{IL} = 0{,}8\,V$ $-I_{OH} = 2{,}6\,mA$	U_{OH}	2,4		V
L-Ausgangsspannung $U_{CC} = 4{,}75\,V$ $I_{OL} = 4\,mA$ $U_{IH} = 2{,}0\,V$ $U_{IL} = 0{,}8\,V$	U_{OL}		0,4 0,5	V V
H-Eingangsstrom $U_{CC} = 5{,}25\,V$ $U_{IH} = 2{,}7\,V$ $U_{IH} = 7{,}0\,V$	I_{IH}		20 100	µA µA
Low-Eingangsstrom $U_{CC} = 5{,}25\,V$ [2]) $U_{IL} = 0{,}4\,V$	$-I_{IL}$		360	µA
Ausgangskurzschlußstrom [1]) $U_{CC} = 5{,}25\,V$	$-I_{OS}$	30	130	mA
Ausgangsstrom im hochohmigen Zustand $U_{CC} = 5{,}25\,V$ $U_{OH} = 2{,}7\,V$ $U_{IH} = 2{,}0\,V$ $U_{IL} = 0{,}8\,V$ $U_{OL} = 0{,}4\,V$	I_{OZH}		20 20	µA µA

		min.	max.	
Nebenkenngrößen:				
Stromaufnahme des Schaltkreises bei aktiven Ausgängen $U_{CC} = 5{,}25\,V$ $U_{IL} = 0\,V$ [3])	I_{CC}		12	mA
Stromaufnahme des Schaltkreises bei hochohmigem Zustand an den Ausgängen $U_{CC} = 5{,}25\,V$ $U_{IL} = 0\,V$ $U_{IH} = 4{,}5\,V$ [4])	I_{CCZ}		14	mA

[1]) Nicht mehr als 1 Ausgang gleichzeitig kurzschließen.
Dauer des Kurzschlusses ≤ 1 s.

[2]) Der jeweils zu messende Dateneingang muß entsprechend der Logik durch S0, S1 adressiert werden.

[3]) Alle Eingänge auf L-Pegel

[4]) $\overline{OE}$ = HIGH, alle anderen Eingänge auf L-Pegel

Dynamische Kennwerte (gültig für $\vartheta_a = 25\,°C$ $-5\,K$, $U_{CC} = 5\,V$):

	von	nach		max.	
Verzögerungszeit für LH-Übergang am Ausgang $U_{IL} = 0\,V$ $U_{IH} = 4{,}5\,V$ $R_L = 2\,k\Omega$ $C_L = 15\,pF$	A B C D	Y	t_{pLH}	25	ns
Verzögerungszeit für HL-Übergang am Ausgang	A B C D	Y	t_{pHL}	20	ns
	S0, S1	Y	t_{pLH}	45	ns
	S0, S1 [1])		t_{pHL}	32	ns
Freigabezeit zu H-Pegel am Ausgang	$\overline{OE}$	Y	t_{pZH}	28	ns
Freigabezeit zu L-Pegel am Ausgang	$\overline{OE}$	Y	t_{pZL}	23	ns
Verzögerungszeit für Übergang von H-Pegel zu hochohmigen Zustand am Ausgang $U_{IL} = 0\,V$ $U_{IH} = 4{,}5\,V$ $R_L = 2\,k\Omega$ $C_L = 5\,pF$	$\overline{OE}$	Y	t_{pHZ}	41 41	ns ns
Verzögerungszeit für Übergang von L-Pegel zu hochohmigen Zustand am Ausgang	$\overline{OE}$	Y	t_{pLZ}	27	ns

[1]) Die Dateneingänge A sind auf H-Pegel und die Dateneingänge B, C, D auf L-Pegel zu legen.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

DL 257 D

Vergleichstyp: SN 74 LS 257 N

1/85

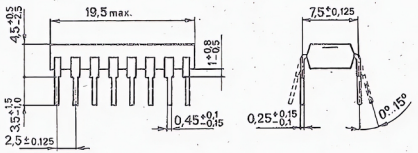
vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

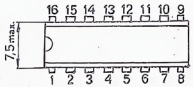
Vierfach – 2 auf 1-Multiplexer DL 257 D

Gehäuse: 16poliges DIL – Plastgehäuse

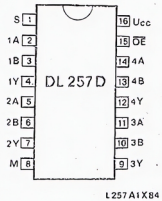
Bauform: 21.1.1.2.16



21.1.1.2.16 TGL 26713

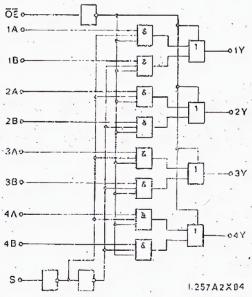


Anschlußbelegung:



S: Adresseingang
A, B: Dateneingänge
$\overline{OE}$: Output Enable
Y: Ausgänge
M: Masse

Logisches Schaltbild:



Schaltungsbeschreibung und logische Funktion:

Funktionstabelle des DL 257 D:

Eingänge		Ausgang
S	$\overline{OE}$	Y
X	H	Z
L	L	A
H	L	B

Der Schaltkreis DL 257 D ist ein Vierfach-2 auf 1-Multiplexer mit 3-STATE-Ausgängen. Mit der Adressinformation an S wird über die Adressgatter und über die Schottky-diodenmatrix jeweils ein Eingang der 2fach Odergatter freigegeben, der andere wird gesperrt.
Die Dateninformation der somit adressierten Eingänge liegt dann nicht-negiert an den Ausgängen Y an.
Die Ausgänge lassen sich gemeinsam über $\overline{OE}$ in den hochohmigen Zustand Z schalten.

Betriebsbedingungen:

		min.	typ.	max.	
Betriebsspannung	U_{CC}	4,75	5	5,25	V
Umgebungstemperatur	ϑ_a	0		70	°C
H-Ausgangsstrom	$-I_{OH}$			2,6	mA
L-Ausgangsstrom	I_{OL}			8	mA
H-Eingangsspannung	U_{IH}	2			V
L-Eingangsspannung	U_{IL}			0,8	V

Statische Kennwerte (gültig für $\vartheta_a = 0 \ldots 70$ °C):

		min.	max.	
Eingangsclampingspannung $U_{CC} = 4{,}75$ V $-I_L = 18$ mA	$-U_{IK}$		1,5	V
H-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IH} = 2{,}0$ V $U_{IL} = 0{,}8$ V $-I_{OH} = 2{,}6$ mA	U_{OH}	2,4		V
L-Ausgangsspannung $U_{CC} = 4{,}75$ V $I_{OL} = 4$ mA $U_{IH} = 2{,}0$ V $U_{IL} = 0{,}8$ V	U_{OL}		0,4	V
$I_{OL} = 8$ mA			0,5	V
H-Eingangsstrom in Eingang S $U_{CC} = 5{,}25$ V $U_{IH} = 2{,}7$ V	I_{IH}		40	µA
$U_{IH} = 7{,}0$ V			200	µA
H-Eingangsstrom in Eingänge $\overline{OE}$, A, B $U_{CC} = 5{,}25$ V $U_{IH} = 2{,}7$ V	I_{IH}		20	µA
$U_{IH} = 7{,}0$ V			100	µA
L-Eingangsstrom in Eingang S $U_{CC} = 5{,}25$ V $U_{IL} = 0{,}4$ V	$-I_{IL}$		720	µA
L-Eingangsstrom in Eingängen $\overline{OE}$, A, B $U_{CC} = 5{,}25$ V[2] $U_{IL} = 0{,}4$ V	$-I_{IL}$		360	µA
Ausgangskurzschlußstrom[1] $U_{CC} = 5{,}25$ V	$-I_{OS}$	30	130	mA

Fortsetzung

		max.	
Ausgangsstrom im hochohmigen Zustand U_{CC} = 5,25 V U_{IH} = 2,0 V U_{OH} = 2,7 V	I_{OZH}	20	µA
U_{OL} = 0,4 V U_{IL} = 0,8 V	I_{OZL}	20	µA

Nebenkenngrößen:

Stromaufnahme des Schaltkreises bei H-Pegel an allen Ausgängen U_{CC} = 5,25 V U_{IL} = 0 V U_{IH} = 4,5 V[3]	I_{CCH}	10	mA
Stromaufnahme des Schaltkreises bei L-Pegel an allen Ausgängen	I_{CCL}	16	mA
Stromaufnahme des Schaltkreises bei hochohmigen Zustand an den Ausgängen	I_{CCZ}	19	mA

[1]) Nicht mehr als 1 Ausgang gleichzeitig kurzschließen.
Dauer des Kurzschlusses ≤ 1 s.

[2]) Der jeweils zu messende Dateneingang muß durch S adressiert werden.

[3]) Alle Eingänge, die keinen Einfluß auf den einzustellenden Zustand haben, sind auf 0 V zu legen.

Dynamische Kennwerte (gültig für ϑ_a = 25 °C −5 K, U_{CC} = 5 V):

	von	nach		max.	
Verzögerungszeit für LH-Übergang am Ausgang U_{IL} = 0 V U_{IH} = 4,5 V R_L = 500 Ω C_L = 50 pF	A, B	Y	t_{pLH}	21	ns
Verzögerungszeit für HL-Übergang am Ausgang	A, B	Y	t_{pHL}	21	ns
	S	Y	t_{pLH}	24	ns
	S	Y	t_{pHL}	24	ns
Freigabezeit zu H-Pegel am Ausgang	$\overline{OE}$	Y	t_{pZH}	30	ns
Freigabezeit zu L-Pegel am Ausgang	$\overline{OE}$	Y	t_{pZL}	30	ns

Fortsetzung

Verzögerungszeit für Übergang von H-Pegel zu hochohmigen Zustand am Ausgang U_{IL} = 0 V U_{IH} = 4,5 V R_L = 500 Ω C_L = 50 pF			t_{pHZ}	30	ns
Verzögerungszeit für Übergang von L-Pegel zu hochohmigen Zustand am Ausgang	$\overline{OE}$	Y	t_{pLZ}	25	ns

Die Dateneingänge A sind auf L-Pegel und die Dateneingänge B auf H-Pegel zu legen.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

Herausgeber

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

DL 295 D

Vergleichstyp: **SN 74 LS 295 N**

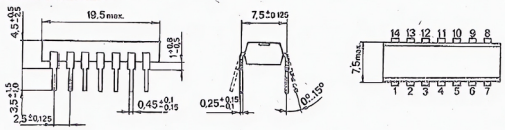
1/85

vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

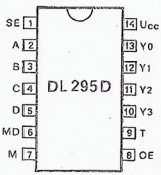
4-bit-Schieberegister DL 295 D
Gehäuse: 14poliges DIL – Plastgehäuse

Bauform: 21.2.1.2.14



21.2.1.2.14 TGL 26713

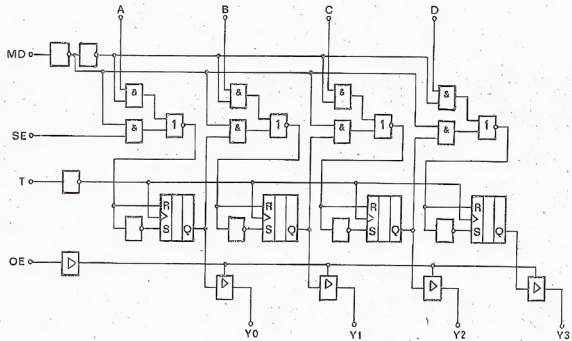
Anschlußbelegung:



L295A1X84

Y:	Ausgänge
SE:	serieller Eingang
A, B, C, D,:	Paralleleingänge
MD:	Mode-Eingang
OE:	Output Enable
T:	Takteingang

Logisches Schaltbild:



L295A2X84

Schaltungsbeschreibung und logische Funktion:

Der Schaltkreis DL 295 D ist ein 4-bit-Schieberegister, das im Rechtsschiebebetrieb und bei entsprechenden externen Verbindungen im Linksschiebebetrieb eingesetzt werden kann. Ein paralleles Einschreiben der 4-bit-Information ermöglicht auch den Einsatz als 4-bit-Speicher im Parallelbetrieb.

Jedes der 4 taktflankengesteuerten RS-FF's wird von einer Torschaltung mit der einzuschreibenden Dateninformation angesteuert, die je nach Information an MD entweder vom Q'-Ausgang des vorhergehenden FF oder vom Paralleleingang angesteuert wird.

Für den Linksschiebebetrieb wird mit MD = H auf die Paralleleingänge geschaltet. Die Eingänge A, B, C müssen extern mit den Ausgängen Y1, Y2, Y3 verbunden werden, und der Eingang D wird zum seriellen Eingang der Schiebekette.

Die Ausgangsstufen liefern die Information der FF nichtnegiert an die Ausgänge, die sich über OE = L in den hochohmigen Zustand Z schalten lassen.

Eingänge								Ausgänge			
Output Enable	Mode	Takt	serieller Eingang	Parallel-eingänge							
OE	MD	T	SE	A	B	C	D	Y0	Y1	Y2	Y3
L	X	X	X	X	X	X	X	Z	Z	Z	Z
H	H	H	X	X	X	X	X	$Y_{0(t-1)}$	$Y_{1(t-1)}$	$Y_{2(t-1)}$	$Y_{3(t-1)}$
H	H	↓	X	a	b	c	d	a	b	c	d
H	H	↓	X	Y_1[1])	Y_2[1])	Y_3[1])	d	$Y_{1(t-1)}$	$Y_{2(t-1)}$	$Y_{3(t-1)}$	d
H	L	H	X	X	X	X	X	$Y_{0(t-1)}$	$Y_{1(t-1)}$	$Y_{2(t-1)}$	$Y_{3(t-1)}$
H	L	↓	H	X	X	X	X	H	$Y_{0(t-1)}$	$Y_{1(t-1)}$	$Y_{2(t-1)}$
H	L	↓	L	X	X	X	X	L	$Y_{0(t-1)}$	$Y_{1(t-1)}$	$Y_{2(t-1)}$

Funktionstabelle:

X: beliebiger Zustand

Z: hochohmiger Zustand

↓: HL-Flanke

a, b, c, d,: statischer H- oder L-Pegel während der HL-Flanke

$Y_{(t-1)}$: Ausgangszustand vor der letzten LH-Flanke

[1]) Linksschiebemodus, die Paralleleingänge A, B, C werden jeweils mit den Ausgängen Y1, Y2, Y3 verbunden. Der Paralleleingang D wird zum seriellen Eingang der Schiebekette.

Betriebsbedingungen:

		min.	typ.	max.	
Betriebsspannung	U_{CC}	4,75	5	5,25	V
Umgebungstemperatur	ϑ_a	0		70	°C
H-Ausgangsstrom	$-I_{OH}$			2,6	mA
L-Ausgangsstrom	I_{OL}			24	mA
H-Ausgangsspannung	U_{IH}	2			V
L-Eingangsspannung	U_{IL}			0,8	V
Taktimpulsbreite	t_{WT}	25			ns
Voreinstellzeit	t_{SU}	20			ns
Haltezeit	t_h	20			ns

Statische Kennwerte (gültig für $\vartheta_a = 0 \ldots 70$ °C):

		min.	max.	
Eingangsclampingspannung $U_{CC} = 4{,}75$ V $-I_I = 18$ mA	$-U_{IK}$		1,5	V
H-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IH} = 2{,}0$ V $U_{IL} = 0{,}8$ V $-I_{OH} = 2{,}6$ mA	U_{OH}	2,4		V
L-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IH} = 2{,}0$ V $I_{OL} = 12$ mA $U_{IL} = 0{,}8$ V $I_{OL} = 24$ mA	U_{OL}		0,4 0,5	V V
H-Eingangsstrom $U_{CC} = 5{,}25$ V $U_{IH} = 2{,}7$ V $U_{IH} = 7{,}0$ V	I_{IH}		20 100	µA µA

Fortsetzung

		min.	max.	
L-Eingangsstrom[2]) U_{CC} = 5,25 V U_{IL} = 0,4 V	$-I_{IL}$		0,36	mA
Ausgangskurzschlußstrom[1]) U_{CC} = 5,25 V	$-I_{OS}$	30	130	mA
Ausgangsstrom im hochohmigen Zustand U_{CC} = 5,25 V U_{IH} = 2,0 V U_{OH} = 2,7 V U_{IL} = 0,8 V	I_{OZH}		20	µA
U_{OL} = 0,4 V	$-I_{OZL}$		20	µA
Stromaufnahme des Schaltkreises bei aktiven Ausgängen U_{CC} = 5,25 V U_{IH} = 4,5 V U_{IL} = 0 V[3])	I_{CC}		29	mA
Stromaufnahme des Schaltkreises bei hochohmigen Zustand an den Ausgängen U_{CC} = 5,25 V U_{IH} = 4,5 V U_{IL} = 0 V[4])	I_{CCZ}		33	mA

[1]) Nicht mehr als 1 Ausgang gleichzeitig kurzschließen. Dauer des Kurzschlusses < 1 s.

[2]) Für die Messung der Eingänge A, B, C, D ist MD auf H-Pegel zu legen. Für die Messung des Einganges SE ist MD auf L-Pegel zu legen.

[3]) SE, MD, OE = HIGH, A, B, C, D = LOW, vor Messung HL-Flanke an T.

[4]) SE, MD = HIGH; A, B, C, D, T, OE = LOW

Dynamische Kennwerte (gültig für $\vartheta_a = 25\,°C \pm 5\,K$, $U_{CC} = 5\,V$):

	von	nach		max.	
Verzögerungszeit für LH-Übergang am Ausgang $U_{IL} = 0\,V$ $U_{IH} = 4{,}5\,V$ $R_L = 500\,\Omega$ $C_L = 50\,pF$	T	Y	t_{pLH}	30	ns
Verzögerungszeit für HL-Übergang am Ausgang			t_{PHL}	31	ns
Freigabezeit zu H-Pegel am Ausgang	OE	Y	t_{pZH}	26	ns
Freigabezeit zu L-Pegel am Ausgang	OE	Y	t_{pZL}	30	ns
Verzögerungszeit für Übergang von H-Pegel zu hochohmigen Zustand am Ausgang $U_{IL} = 0\,V$ $U_{IH} = 4{,}5\,V$ $R_L = 670\,\Omega$ $C_L = 5\,pF$	OE	Y	t_{pHZ}	20	ns
Verzögerungszeit für Übergang von L-Pegel zu hochohmigen Zustand am Ausgang	OE	Y	t_{pLZ}	20	ns
Taktfrequenz $U_{CC} = 5\,V$			f_T	min. 20	MHz

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 26
Telefon: 5 80 05 21, Telex: 011 2981, 011 3055

mikroelektronik

information

RFT

DL 8121 D

Vergleichstyp: AmZ 8121

1/85

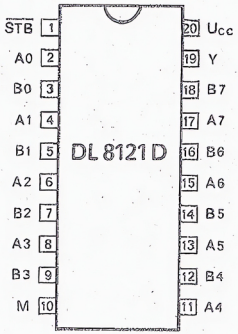
vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

8-bit Komparator DL 8121 D
Gehäuse: 20poliges DIL-Plastgehäuse
Bauform: 21.1.1.2.20

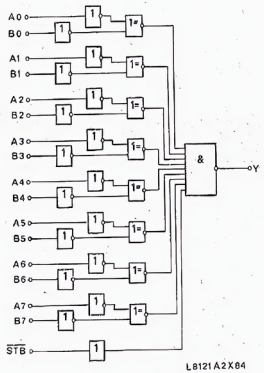
Anschlußbelegung:

A, B: Dateneingänge
$\overline{STB}$: STROBE-Eingang
M: Masse
Y: Dateneingang



L8121A1X84

Logisches Schaltbild:



Funktionsbeschreibung und logische Funktion:

Der DL 8121 D vergleicht zwei 8-bit-Worte. Es besteht die Möglichkeit, über den Eingang $\overline{STB}$ den Ausgang Y zu sperren oder eine Erweiterung für Wortbreiten größer 8 bit vorzunehmen. Bei Wortgleichheit und „LOW" am $\overline{STB}$-Eingang erscheint am Ausgang „LOW".

$$Y = (A_0\ B_0)\ (A_1\ B_1)\ (A_2\ B_2)\ (A_3\ B_3)\ (A_4\ B_4)\ (A_5\ B_5)\ (A_6\ B_6)\ (A_7\ B_7)\ STB$$

Betriebsbedingungen:

		min.	typ.	max.	
Betriebsspannung	U_{CC}	4,75	5	5,25	V
Umgebungstemperatur	ϑ_a	0		70	°C
H-Ausgangsstrom	$-I_{OH}$			440	µA
L-Ausgangsstrom	I_{OL}			12	mA
H-Eingangsspannung	U_{IH}	2			V
L-Eingangsspannung	U_{IL}			0,8	V

Statische Kennwerte (gültig für $\vartheta_a = 0 \ldots 70\,°C$):

		min.	max.	
Eingangsclampingspannung $U_{CC} = 4{,}75$ V $-I_I = 18$ mA	$-U_{IK}$		1,5	V
H-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IL} = 0{,}8$ V $U_{IH} = 2{,}0$ V $I_{IH} = 440\ \mu A$	U_{OH}	2,7		V
L-Ausgangsspannung $U_{CC} = 4{,}75$ V $U_{IL} = 0{,}8$ V $U_{IH} = 2{,}0$ V	U_{OL}			
$I_{OL} = 12$ mA			0,5	V
$I_{OL} = 4$ mA			0,4	V
H-Eingangsstrom $U_{CC} = 5{,}25$ V $U_{IH} = 2{,}7$ V $A_i : B_i$	I_{IH}		20	µA
$U_{CC} = 5{,}25$ V $U_{IH} = 7$ V $\overline{STB}$			100	µA
$U_{CC} = 5{,}25$ V $U_{IH} = 2{,}7$ V			40	µA
$U_{CC} = 5{,}25$ V $U_{IH} = 7$ V			200	µA
L-Eingangsstrom $U_{CC} = 5{,}25$ V $U_{IL} = 0{,}4$ V $A_i : B_i$ $\overline{STB}$	$-I_{IL}$		0,36 0,72	mA mA
Ausgangskurzschlußstrom[1]) $U_{CC} = 5{,}25$ V	$-I_{OS}$	15	85	mA
Stromaufnahme $U_{CC} = 5{,}25$ V STB auf Masse, alle anderen Eingänge und Ausgang Y offen	I_{CC}		40	mA

[1]) Dauer des Kurzschlusses < 1 s.

Dynamische Kennwerte (gültig für $\vartheta_a = 25\,°C - 5K$, $U_{CC} = 5\,V$):

		min.	max.	
von Ai oder Bi nach X $C_L = 50\,pF$ $R_L = 500\,\Omega$	t_{pLH}		15	ns
von Ai oder B_i nach Y $C_L = 50\,pF$ $R_L = 500\,\Omega$	t_{pHL}		15	ns
von $\overline{STB}$ nach Y $C_L = 50\,pF$ $R_L = 500\,\Omega$	t_{pLH}		7	ns
von $\overline{STB}$ nach Y $C_L = 50\,pF$ $R_L = 500\,\Omega$	t_{pHL}		8	ns

Die vorliegenden Datenblätter dienen ausschließlich der Information!
Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden.
Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:
veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

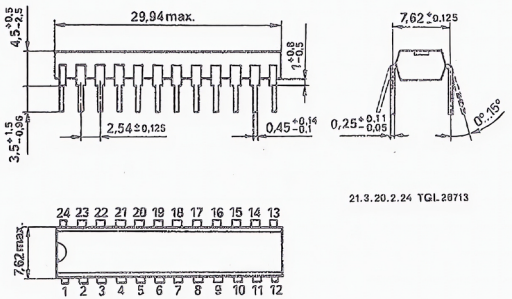
DL 8127 D

1/85

vorläufige technische Daten

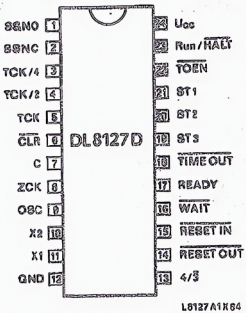
Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

Systemtaktgenerator DL 8127 D

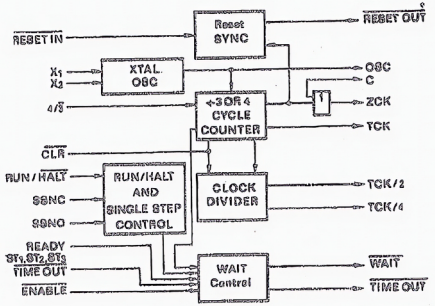


21.3.20.2.24 TGL 26713

Gehäuse und Anschlußbelegung
Gehäuse: 24poliges DIL-Plastgehäuse (schmal)
Bauform: 21.3.9.2.24 nach TGL 26 713



Blockschaltbild



*RESET OUT ist aktiv LOW, wenn 4/3 = HIGH

L8127A2X84

Funktionsbeschreibung

Der DL 8127 D arbeitet als Systemtaktgenerator und enthält neben dem Taktoszillator die erforderlichen Frequenzteiler und Takttreiber zur Ansteuerung moderner 16 - bit - Mikroprozessorsysteme.

Zusätzlich zu einem speziellen 4 - MHz - Ausgangstreiber für die CPU ist ein 16 - MHz - TTL - Oszillatorausgang für die dynamische Speichersteuerung vorgesehen.

Der Taktoszillator ist so konstruiert, daß er sowohl mit einem 16 - MHz - Quarz, als auch mit einem externen 16 - MHz - TTL - Signal arbeiten kann.

Der DL 8127 D besitzt einen internen 1 : 3 bzw. 1 : 4 - Teiler zur Bereitstellung des CPU - Taktes. Zusätzliche Teiler erzeugen synchrone TTL - Taktsignale mit der viertel, der halben bzw. der gleichen Frequenz des CPU - Taktes.

Die Takttreiber sind löschbar, um die Synchronisation aller Taktausgänge zu ermöglichen.

Die Steuerfunktionen umfassen RESET, RUN/$\overline{\text{HALT}}$, SINGLE - STEP, READY und einen READY - TEMEOUT - Zähler, der die WAIT - Forderung eines externen Gerätes auf 15 Taktzyklen begrenzt.

Der WAIT - Eingang der CPU wird von RUN/$\overline{\text{HALT}}$, SINGLE - STEP, STATUS und READY gesteuert.

Wenn RUN/$\overline{\text{HALT}}$ = LOW ist, setzt der DL 8127 D den $\overline{\text{WAIT}}$ - Ausgang auf LOW und veranlaßt die CPU, Wartezustände einzunehmen.

Mit den SINGLE - STEP - Eingängen können die Wartezustände für jeweils eine CPU - Taktperiode unterbrochen und damit Schrittbetrieb realisiert werden.

Der READY - Eingang dient den externen Geräten zur Forderung von Wartezuständen. Der LOW - aktive Eingang $\overline{\text{TOEN}}$ (timeout enable) begrenzt die WAIT - Forderung eines externen Gerätes auf 15 Taktzyklen, d. h. mit dem 16. Takt wird der Ausgang $\overline{\text{TIMEOUT}}$ auf LOW und der Ausgang $\overline{\text{WAIT}}$ auf HIGH gesetzt.

Die Statuseingänge ST 1, ST 2 und ST 3 sperren den TIMEOUT-Zähler, wenn interne CPU - Operationen und Refresh - Zyklen durchgeführt werden.

Der Eingang $4/\overline{3}$ steuert das Takt - Tastverhältnis.
Ein interner pull - up - Widerstand setzt den offenen Eingang auf HIGH. In dieser Betriebsart beträgt das Tastverhältnis 1 : 2. Ein LOW am Eingang bewirkt ein Tastverhältnis von 1 : 3 sowie die Negation des CPU - Taktes gegenüber der TTL - Takt TCK.

Der LOW - aktive Eingang $\overline{\text{RESETIN}}$ ermöglicht die Synchronisation des RESET - Signals mit dem CPU - Takt.
Der zugehörige Ausgang $\overline{\text{RESETOUT}}$ ist LOW - aktiv, wenn $4/\overline{3}$ = HIGH ist, anderenfalls ist er HIGH - aktiv.

Grenzwerte		min.	max.	
Eingangsspannung $-X_2$, $4/\overline{3}$, SSNO SSNC, RUN/$\overline{\text{HALT}}$	U_I		U_{CC} + 0,5	V
Spannung an den Ausgängen bei HIGH	U_{OH}	−0,5	5,5	V
Spannung an C	U_C	−0,5	8,0	V
LOW-Ausgangsgleichstrom	I_{OL}		30	mA
Eingangsgleichstrom	I_I	−30	+5	mA

Betriebsbedingungen		min.	typ.	max.	
Betriebsspannung	U_{CC}	4,75	5	5,25	V
Umgebungstemperatur	ϑ_B	0		70	°C
HIGH-Eingangsspannung	U_{IH}				
ST1, ST2, ST3, X1		2,0			V
$\overline{\text{CLR}}$, TOEN, READY RUN/$\overline{\text{HALT}}$, SSNO SSNC, $4/\overline{3}$ RESETIN		2,4			V
		2,8			V
LOW-Eingangsspannung	U_{IL}				
ST1, ST2, ST3, X1				0,8	V
CLR, TOEN, READY				0,4	V
RUN/$\overline{\text{HALT}}$, SSNO SSNC, $4/\overline{3}$					
HIGH-Ausgangsstrom	I_{OH}				
ZCK				0,1	mA
TTL - Ausgänge				2,6	mA
LOW - Ausgangsstrom	I_{OL}				
ZCK				0,1	mA
TTL-Ausgänge				16,0	mA

	von	nach		max.		
Einstellzeit	$\overline{\text{CLR}}$	OSC	t_s	18	ns	
Haltezeit			t_H	−6	ns	
Einstellzeit $4/\overline{3}$ = HIGH			t_s	T/4+10	ns	1)
Haltezeit	READY	ZCK	t_H	T/4+2	ns	1)
Einstellzeit $4/\overline{3}$ = HIGH	ST1	ZCK	t_s	T/4+12	ns	1)
Haltezeit			t_H	T/4−3	ns	1)
Taktsynchronfehler $4/\overline{3}$ = HIGH	ZCK	OSC	t_{SKEW}	10	ns	

	von	nach		max.	
Taktsynchronfehler $4/\overline{3}$ = HIGH	ZCK	TCK	t_{SKEW}	7	ns

1) T ist die ZCK - Taktperiodendauer

Statische Kennwerte		min.	max.	
Eingangsclampingspannung U_{CC} = 4,75 V $-I_I$ = 18 mA	$-U_{IK}$		1,5	V
HIGH-Eingangsstrom $4/\overline{3}$, SSNC, SSNO RUN/$\overline{HALT}$ $\overline{RESETIN}$ U_{CC} = 5,25 V U_{IH} = 2,7 V	I_{IH}		-300 -200	µA 1) µA 1)
ST1, ST2, ST3 $\overline{CLR}$, $\overline{TOEN}$, $\overline{READY}$			50	µA
K1			600	µA
ST1, ST2, ST3 $\overline{CLR}$, $\overline{TOEN}$, READY U_{CC} = 5,25 V U_{IH} = 5,5 V			1000	µA
LOW-Eingangsstrom SSNO SSNC, $4/\overline{3}$ RUN/$\overline{HALT}$, READY U_{CC} = 5,25 V U_{IL} = 0,4 V	$-I_{IL}$		1,6 1,2	mA mA
$\overline{CLR}$, $\overline{TOEN}$, X1			0,72	mA
ST1, ST2, ST3 $\overline{RESETIN}$			0,36	mA
HIGH-Ausgangsspannung ZCK U_{CC} = 4,75 V $-I_{OH}$ = 0,1 mA	U_{OH}	4,35		V
TTL-Ausgänge U_{CC} = 4,75 V $-I_{OH}$ = 2,6 mA		2,40		V

		min.	max.	
LOW-Ausgangsspannung	U_{OL}			
ZCK				
U_{CC} = 4,75 V			0,40	V
I_{OL} = 0,1 mA				
U_{CC} = 4,75 V			0,50	V
I_{OL} = 16 mA				
Ausgangskurzschlußstrom	$-I_{OS}$			
ZCK				
U_{CC} = 5,25 V 2)		50	240	mA
TTL-Ausgänge		40	130	mA
Stromaufnahme	I_{CC}			
U_{CC} = 5,25 V			140	mA
X_1 = 2,4 V				
ZCK = LOW 3)				
TCK = LOW				

1) Negative HIGH = Eingangsströme werden durch den internen pull = up = Widerstand verursacht.

2) Messung an jedem Ausgang einzeln, maximal 1 s.

3) Keine Messung am Eingang X1.

Dynamische Kennwerte (ϑ_a = 25 °C, U_{CC} = 5 V)

	von	nach		max.	
Anstiegezeit des ZCK-Ausgangsimpulses (t_{TLHO})			t_{rc}		
C_L = 80 pF, C_C = 27 pF 1)				12	ns
C_L = 200 pF, C_C = 27 pF 1)				20	ns
Abfallzeit des ZCK-Ausgangsimpulses (t_{THIC})			t_{fc}		
C_L = 80 pF, C_C = 27 pF 1)				11	ns
C_L = 200 pF, C_C = 27 pF 1)				20	ns
Verzögerungszeit für READY LOW-HIGH-Übergang am Ausgang	WAIT		t_{pLH}	14	ns

Fortsetzung	von	nach		max.	
Verzögerungszeit für HIGH-LOW-Übergang am Ausgang			t_{pHL}	16	ns
Verzögerungszeit für LOW-HIGH-Übergang am Ausgang	ST1	$\overline{WAIT}$	t_{pLH}	17	ns
Verzögerungszeit für HIGH-LOW-Übergang am Ausgang			t_{pHL}	21	ns
$4/\overline{3}$ = HIGH	ZCK	$\overline{RESETOUT}$	t_{pLH}	13	ns
			t_{pHL}	8	ns
Oszillatorfrequenz			f_{OSC}	24	MHz

1)
Bootstrap = Kondensator (zwischen Anschlüssen C und ZCK)

Beschreibung der Anschlüsse

$4/\overline{3}$ – Eingang zur Steuerung der Betriebsart. HIGH ergibt ein Takttastverhältnis von 1 : 2. LOW bewirkt ein Tastverhältnis von 1 : 3 sowie die Negation des CPU = Taktes ZCK gegenüber dem TTL = Takt TCK.

$\overline{RESETIN}$ – LOW = aktiver Eingang zur Synchronisation des RESET = Signals mit dem CPU = Takt.

$\overline{RESETOUT}$ – Synchronisierter RESET = Ausgang. LOW = aktiv, wenn $4/\overline{3}$ = HIGH, sonst HIGH = aktiv.

X_1; X_2 – Eingänge für externen Quarzanschluß

ZCK – Gepufferter Taktausgang für CPU und Peripherie. Er liefert die erforderliche HIGH-Ausgangsspannung (U_{CC} = -0,4 V).

TCK – Gepufferter TTL = Taktausgang mit der gleichen Frequenz wie ZCK, TCK ist mit ZCK synchronisiert. Wenn $4/\overline{3}$ = LOW, ist ZCK zu TCK negiert.

TCK/2
TCK/4 – Gepufferte TTL = Taktausgänge mit der halben bzw. viertel TCK = Frequenz. Synchronisiert mit der Anstiegsflanke von TCK.

OSC – Oszillatortaktausgang, TTL = gepuffert. Liefert high = speed = Takt für dynamische Speichersteuerung oder andere Anwendungen. Die ZCK- und TCK = Ausgänge sind mit der OSC = Anstiegsflanke synchronisiert.

$\overline{CLR}$ – LOW = aktiver Eingang mit der OSC = Anstiegsflanke synchronisiert. Setzt die internen Taktteiler zurück, um die Synchronisation der Taktausgänge mehrerer Schaltkreise zu gewährleisten.

$\overline{WAIT}$ – Verriegelter (latched) $\overline{WAIT}$ = Ausgang zur Verbindung mit der CPU. Wird von den READY-, ST1-, ST2-, ST3-, RUN/$\overline{HALT}$- und SINGLE = STEP = Eingängen zur Forderung von Wartezuständen gesteuert.

READY	- HIGH - aktiver Eingang zur Verbindung mit peripheren Geräten. Einhaltung des dem WAIT - Latch entsprechenden Einstell- und Haltezeit-bedingungen erforderlich.
ST1, ST2, ST3	- Statuseingänge von CPU und peripheren Geräten. LOW an allen Eingängen kennzeichnet interne CPU - Arbeit oder Refresh-Zyklen. Während dieser Zeit ist TIMEOUT abgeschaltet, um ein unpassendes Interrupt zu vermeiden. Die Statuseingänge sind von den Einstell- und Haltezeitbedingungen des WAIT - Latches abhängig.
RUN/HALT	- Eingang, der Start/Stop- und Einzelschritt-steuerung ermöglicht. LOW erzwingt ein LOW am WAIT - Ausgang.
SSNO, SSNC	- SINGLE - STEP - Steuereingänge, kurzzeitiges Abschalten von SSNC von Masse und erden von SSNO bewirkt das Übergehen der CPU von einem Wartezustand in den anderen. RUN/HALT muß für Einzelschrittsteuerung auf LOW liegen.
TIMEOUT	- Ausgang, hauptsächlich zur Verbindung mit einem Interrupteingang der CPU (NMI). Der TIMEOUT - Zähler zählt die ZCK/TCK - Taktzyklen, um die unbeantwortete WAIT-Forderung eines peripheren Gerätes auf 15 Taktzyklen zu begrenzen. Das heißt, nach 15 Taktzyklen wird ein HIGH am WAIT - Ausgang erzwungen.
TOEN	- LOW - aktiver timeout - enable - Eingang. LOW gibt den TIMEOUT - Zähler frei. HIGH schaltet ihn ab und ermöglicht die WAIT-Steuerung durch die READY-, RUN/HALT - und SINGLE - STEP - Eingänge.
C	- Bootstrap - Eingang, Kondensator C_D wird mit C und ZCK verbunden, um eine kürzere ZCK - Anstiegszeit zu ermöglichen.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2961, 011 3055

mikroelektronik

Information

RFT

U 1001 C

1/85

vorläufige technische Daten

Hersteller: VEB Zentrum für Forschung und Technologie
Mikroelektronik Dresden

Filterschaltkreis

- monolithisches NF-Tiefpaßfilter für das Sprachsignalband
- Sende- und Empfangsrichtung
- kompatibel mit allen CCITT-Spezifikationen
- ± 5 V Betriebsspannung
- Bereitschaftszustand (power-down-mode)
- Verstärkungseinstellung in Sende- und Empfangsrichtung
- keine externen Glättungsfilter
- Abtastfilter
- TTL- und CMOS-kompatible Eingänge
- direkte Zusammenschaltung mit den Schaltkreisen

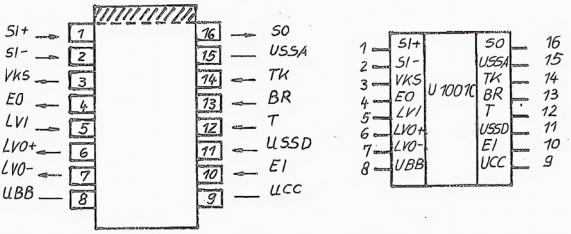


Bild 1: Anschlußbelegung (Ansicht von oben) und Schaltzeichen.
Markierung kennzeichnet Seite mit PIN 1

PIN-Funktionen

PIN-Nr.	Name	Ein-/Ausgang	Funktion
1	SI+	EIN	positiver Eingang Sender, Eingangsoperationsverstärker
2	SI-	EIN	negativer Eingang Sender, Eingangsoperationsverstärker
3	VKS	AUS	Verstärkungs-Kontrolle (Einstellung), Sender
4	EO	AUS	Empfänger-Ausgang
5	LVI	EIN	Leistungsverstärker-Eingang
6	LVO+	AUS	positiver Leistungsverstärker-Ausgang
7	LVO-	AUS	negativer Leistungsverstärker-Ausgang
8	UBB	-	negative Betriebsspannung
9	UCC	-	positive Betriebsspannung
10	EI	EIN	Empfänger-Eingang
11	USSD	EIN	digitale Masse (nur Eingang), Bezugspotential für digitale Signale
12	T	EIN	Grundtakt
13	BR	EIN	Bereitschaft
14	TK	EIN	Takt-Kontrolle (Auswahl)

PIN-Funktionen (Fortsetzung)

PIN-Nr.	Name	Ein-/Ausgang	Funktion
15	USSA	-	analoge Masse; Bezugspotential für analoge Signale
16	SO	AUS	Sender-Ausgang

Funktionsbeschreibung

Der U 1001 C ist ein monolithischer CMOS-Filterschaltkreis, der sowohl das Sende- als auch das Empfangsfilter enthält, die speziell für die Filterung des für die PCM-CODEC-Anwendung vorgesehenen Sprachbandes bei einer Abtastfrequenz von 8 kHz konstruiert sind. Mit geschalteten Kapazitätsnetzwerken werden die Eigenschaften klassischer LC-Filter nachgebildet bzw. übertroffen.

Das Sendefilter ist ein elliptisches Tiefpaßfilter 5. Ordnung in Reihe mit einem Tschebyscheff-Hochpaßfilter 4. Ordnung mit flachem Durchlaßbereich von 200 Hz bis 3,4 kHz.

Die Eingangsstufe des Sendefilters ist ein Operationsverstärker mit einem Eingangswiderstand >10 MΩ einer Leerlauf-Spannungsverstärkung >80 dB, niedriger Verlustleistung (<3 mW) und hoher Betriebsspannungsunterdrückung, der eine Last $\geq$ 10 kΩ parallel zu einer Kapazität $\leq$ 25 pF ansteuern kann. Die Eingänge und der Ausgang des Verstärkers sind zugänglich, so daß mit externen Widerständen verschiedene Betriebsarten (invertierend; nicht invertierend; Differenzverstärker) eingestellt werden können.

Die Ausgangsstufe des Sendefilters - das Glättungsfilter - rekonstruiert das Ausgangs-Treppensignal der Abtastfilter in ein kontinuierliches Signal und dämpft Störungen infolge der Taktung um 40 dB. Der Ausgang erzeugt eine Spannung von $\pm$ 3,2 V (Spitze - Spitze) an einer Last von $\geq$ 10 kΩ parallel zu einer Kapazität von $\leq$ 25 pF.

Das Empfangsfilter ist ein elliptisches Tiefpaßfilter 5. Ordnung zur Rekonstruktion des treppenförmigen Sprachsignals, das vom Codec durch D/A-Wandlung aus dem PCM-Signal gewonnen wird.
Ein derart pulsamplitudenmoduliertes Signal weist eine sin x/x-Frequenzabhängigkeit mit 8 kHz-Periode auf. Das Empfangsfilter approximiert eine Funktion, die erforderlich ist, diesen sin x/x-Abfall zu

kompensieren und die flache Durchlaßcharakteristik (mit 3,4 kHz Grenzfrequenz) zurückzugewinnen.

Die Eingangsstufe ist ähnlich der des Sendefilters. Sie dämpft hochfrequente Störungen, die dem Eingangssignal der Empfangsseite überlagert sein können. Das Glättungsfilter ist ebenfalls dem des Sendefilters ähnlich und weist die gleichen Ausgangseigenschaften auf. Für den Anschluß an eine NF-Überträgergabel sind zwei Leistungsverstärker vorgesehen, die durch den Ausgang des Empfangsglättungsfilters über Widerstände zur Einstellung der Verstärkung angesteuert werden. Wenn die Leistungsverstärker nicht benötigt werden, können sie zur Reduzierung der Gesamtverlustleistung stillgelegt werden, indem der Eingang (PIN 5) an die negative Betriebsspannung UBB geschaltet wird. Dieser Zustand stellt sich durch einen internen Ziehtransistor ebenfalls ein, wenn der Eingang LVI offengelassen wird.

Für den gesamten Schaltkreis ist ein Bereitschaftszustand (powerdown) zur Senkung der Gesamtverlustleistung vorgesehen. Der Schaltkreis geht in diesen Zustand über, wenn an PIN 13 -BR- ein High-Signal gelegt wird. Dabei werden die Ausgänge des Leistungsverstärkers auf UBB geschaltet. Wenn BR an USSD liegt, wird die normale Operation ausgeführt. Bei offenem Eingang BR stellt sich durch einen internen Ziehtransistor ebenfalls der Bereitschaftszustand ein.
Da die Taktfrequenz funktionsbestimmend ist, muß sie zur Gewährleistung der Filtereigenschaften mit der nötigen Präzision eingehalten werden.

Um den Schaltkreis mit zwei verschiedenen Grundtaktfrequenzen betreiben zu können, ist eine Auswahlschaltung vorgesehen, deren Steuerung durch den statischen Eingangspegel an TK erfolgt:

Zustand	TK-Eingangspegel	Grundtakt
1	UCC (+ 5 V)	2048 kHz
2	UBB (- 5 V)	1536 kHz

Der Zustand 1 stellt sich bei offenem Eingang TK über einen internen Ziehtransistor selbst ein. Die beiden separaten Masseanschlüsse für den Analog- und den Digitalteil USSA und USSD sind intern nicht verbunden. Bei dem Anschluß USSD handelt es sich lediglich um einen hochohmigen Eingang.

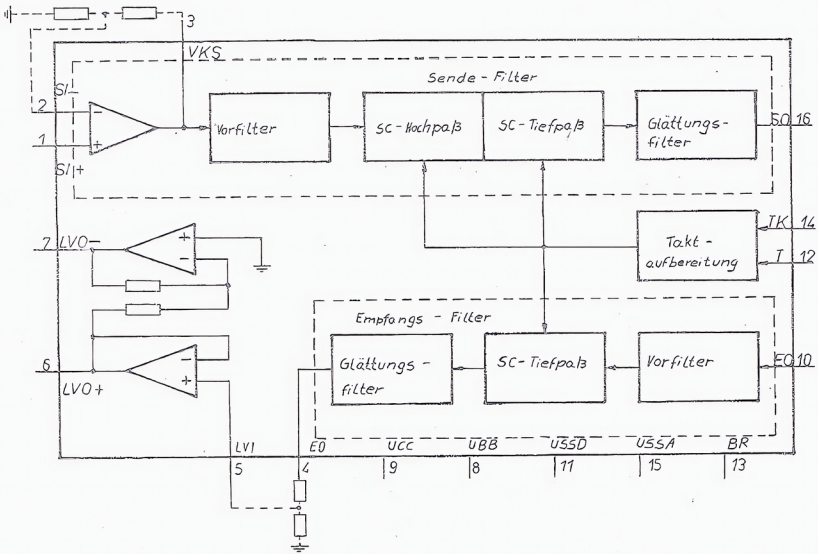


Bild 2: Blockschaltbild des U 1001 C

Grenzwerte

Kenngröße	Symbol	min.	max.	Einheit
pos. Betriebsspannung	U_{CC}	- 0,3	+ 6,0	V
neg. Betriebsspannung	U_{BB}	- 6,0	+ 0,3	V
Eingangsspannung	U_I	U_{BB}	U_{CC}	V
Ausgangsspannung	U_O	U_{BB}-0,3	U_{CC}+0,3	V
Ausgangsstrom an SO, EO	$\|I_{O1}\|$	-	20	mA
Ausgangsstrom an LVO+, LVO-	$\|I_{O2}\|$	-	50	mA
Verlustleistung bei ϑ_a = 25 °C	P_V	-	400	mW
Umgebungstemperatur	ϑ_a	0	70	°C
Lagerungstemperatur	ϑ_s	- 55	115	°C

Betriebsbedingungen U 1001 C

Kenngröße	Symbol	min.	typ.	max.	Einheit
pos. Betriebsspannung	U_{CC}	4,75	5,0	5,25	V
neg. Betriebsspannung	U_{BB}	-5,25	-5,0	-4,75	V
Umgebungstemperatur	ϑ_a	0	25	70	°C
Eingangsspannung Low an T, BR	U_{IL}	0	-	0,8	V
Eingangsspannung High an T, BR	U_{IH}	2,2	-	U_{CC}	V

Betriebsbedingungen U 1001 C (Fortsetzung)

Kenngröße	Symbol	min.	typ.	max.	Einheit
Eingangsspannung Low an TK	U_{ILK}	-	U_{BB}	-	V
Eingangsspannung High an TK	U_{IHK}	-	U_{CC}	-	V
Taktfrequenz an T (Grundtakt)	f_{M1}	-	2048	-	kHz
	f_{M2}	-	1536	-	kHz
Taktimpulsanstiegs- und -abfallzeit an T	t_{RC}, t_{FC}	-	-	12,5 % von $\frac{1}{f_M}$	ns
Lastwiderstand an VKS, SO, EO	R_{LK}, R_{LS}, R_{LE}	10	-	-	k
Lastkapazität an VKS, SO EO	C_{LK}, C_{LS}, C_{LE}	-	-	25	pF
Lastkapazität an LVO+, LVO-	C_{LP}	-	-	500	pF

Kennwerte

Kenngröße	Symbol	min.	max.	Einheit	Bemerkungen
Ruhestromaufnahme an U_{CC}	I_{CCB}	-	200	/uA	Bereitschaft
Ruhestromaufnahme an U_{BB}	$-I_{BBB}$	-	200	/uA	Bereitschaft
Stromaufnahme an U_{CC}	I_{CC}	-	9,1	mA	
Stromaufnahme an U_{BB}	$-I_{BB}$	-	9,1	mA	
Eingangsoperationsverstärker, Sender					
Verstärker	A_{OK}	74	-	dB	
Eingangsoffsetspannung	U_{offIS}	-20	20	mV	
Gleichtaktunterdrückung	CMRR	60	-	dB	
positive Betriebsspannungsunterdrückung	PPSRR1	55	-	dB	
negative Betriebsspannungsunterdrückung	NPSRR1	60	-	dB	
Sende-Filter					
Ausgangsspannungshub an SO	$\lvert\Delta U_{OS}\rvert$	3,2	-	V	
relativer Frequenzgang	ΔA_S	-	-35	dB	Frequenz: < 50 Hz
		-	-35	dB	50 Hz
		-	-30	dB	60 Hz
		-1,5	0,0	dB	200 Hz
		-0,125	+0,125	dB	0,3 ... 3,0 kHz
		-0,35	+0,05	dB	3,3 kHz
		-0,7	-0,1	dB	3,4 kHz

Kennwerte (Fortsetzung)

Kenngröße	Symbol	min.	max.	Einheit	Bemerkungen
relativer Frequenzgang	ΔA_S	-	-14	dB	4,0 kHz
		-	-30	dB	4,6 kHz
			-30	dB	> 4,6 kHz
					Ausgangspegel:
Pegelabhängiger Frequenzgang	ΔA_{SP}	-0,1	+0,1	dB	+ 3 dBm0
		-0,05	+0,05	dB	+2 ... -40 dBm0
		-0,1	+0,1	dB	-40 ... -55 dBm0
totales Rauschen an S0	NC_{S1}	-	-80	dBm0p	
positive Betriebsspannungs-unterdrückung	PPSRR2	30	-	dB	
negative Betriebsspannungs-unterdrückung	NPSRR2	35	-	dB	
nichtlineare Verzerrung	DP_{S1}	-	-48	dB	
absolute Verstärkung	V_S	2,9	3,1	dB	bei 800 Hz
Empfangs-Filter					
Ausgangsspannungshub an E0	$\lvert\Delta U_{OE}\rvert$	3,2	-	V	
Ausgangsoffsetspannung an E0	U_{offOE}	-100	100	mV	
absolute Verstärkung	A_E	-0,1	-0,1	dB	bei 800 Hz
relativer Frequenzgang	ΔA_E	-	+0,125	dB	Frequenz: < 300 Hz
		-0,125	+0,125	dB	0,3 ... 3,0 kHz
		-0,35	-0,05	dB	3,3 kHz
		-0,7	-0,1	dB	3,4 kHz

Kennwerte (Fortsetzung)

Kenngröße	Symbol	min.	max.	Einheit	Bemerkungen
Empfangs-Filter					
relativer Frequenzgang	ΔA_E	-	-14	dB	4,0 kHz
		-	-30	dB	4,6 kHz
		-	-30	dB	>4,6 kHz
					Ausgangspegel:
pegelabhängiger Frequenzgang	ΔA_{EP}	-0,1	+0,1	dB	+ 3 dBm0
		-0,05	+0,05	dB	+2 ... -40 dBm0
		-0,1	+0,1	dB	-40 ... -55 dBm0
totales Rauschen an EO	NC_E	-	-80	dBm0P	
positive Betriebsspannungs-unterdrückung	PPSRR3	30	-	dB	
negative Betriebsspannungs-unterdrückung	NPSRR3	35	-	dB	
nichtlineare Verzerrung	DP_{E1}		-48	dB	
Leistungsverstärker, Empfänger					
Ausgangsspannungshub LVO+, LVO-	ΔU_{OL}	3,2	-	V	R_{LL} = 100 kΩ
		2,9	-	V	R_{LL} = 600 kΩ
		2,5	-	V	R_{LL} = 300 kΩ
Ausgangsoffsetspannung an LVO+, LVO-	U_{offLVO}	-50	50	mV	
positive Betriebsspannungs-unterdrückung	PPSRR4	40	-	dB	
negative Betriebsspannungs-unterdrückung	NPSRR4	45	-	dB	

Für die Kennwerte des Empfangsfilters weist das Eingangssignal eine sinx-/x-Korrektur auf. Für alle Kennwerte des Eingangsoperationsverstärkers Sender, des Sende-Filters, des Empfangs-Filters, des Leistungsverstärker-Empfänger gilt: $\vartheta_a = 25\ ^{\circ}C$.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

Herausgeber

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

U 1011 C

1/85

vorläufige technische Daten

Hersteller: VEB Zentrum für Forschung und Technologie Mikroelektronik Dresden

PCM-CODEC-Schaltkreis

- monolithischer PCM-Codec (Pulse Code Modulation Coder-Decoder)
- ± 5 V Betriebsspannung
- A-Kompandierungs-Code (A-Law)
- kompatibel mit allen CCITT-Spezifikationen
- bit-Inversion der geraden bits
- synchrone oder asynchrone Operation
- integrierte Abtast- und Haltefunktion
- integrierte Offset-Kompensation verhindert Lang-Zeit-Drift und die Notwendigkeit des Trimmens entfällt
- Kapazitätsnetzwerk für die A/D- und D/A-Wandlung
- 16-PIN-DIL-Gehäuse
- minimale externe Beschaltung
- alle digitalen Ein- und Ausgänge sind TTL-kompatibel
- serielle Datenein- und-ausgangsraten von 64 Kbits $^{-1}$ bis 2,1 Mbits $^{-1}$ bei 8 kHz Abtastrate
- separate Analog- und Digital-Masse-PINs
- direkte Zusammenschaltung mit den Schaltkreisen U 1001 C und U 1021 D

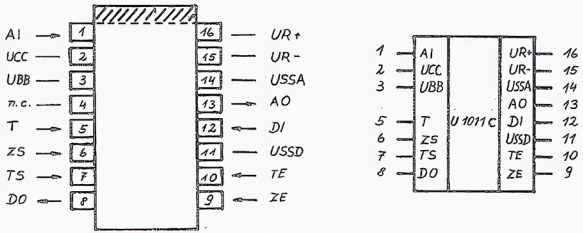


Bild 1: Anschlußbelegung (Ansicht von oben) und Schaltzeichen.
Markierung kennzeichnet Seite mit Pin 1

PIN-Funktionen

PIN-Nr.	Name	Ein-/Ausgang	Funktion
1	AI	EIN	Analog-Eingang-Sender
2	UCC	-	positive Betriebsspannung
3	UBB	-	negative Betriebsspannung
4	n. c.	-	(intern) nicht angeschlossen
5	T	EIN	Grundtakt
6	ZS	EIN	Zeitlagensignal Sender für digitalen Ausgang; High-aktiv
7	TS	EIN	Datentakt Sender für digitalen Ausgang
8	DO	AUS	Digital-Ausgang Sender; three-state
9	ZE	EIN	Zeitlagensignal Empfänger für digitalen Eingang; High-aktiv
10	TE	EIN	Datentakt Empfänger für digitalen Eingang
11	USSD	-	digitale Masse; Bezugspotential für digitale Signale
12	DI	EIN	Digital-Eingang Empfänger
13	AO	AUS	Analog-Ausgang Empfänger
14	USSA	-	analoge Masse; Bezugspotential für analoge Signale
15	UR-	-	negative Referenzspannung
16	UR+	-	positive Referenzspannung

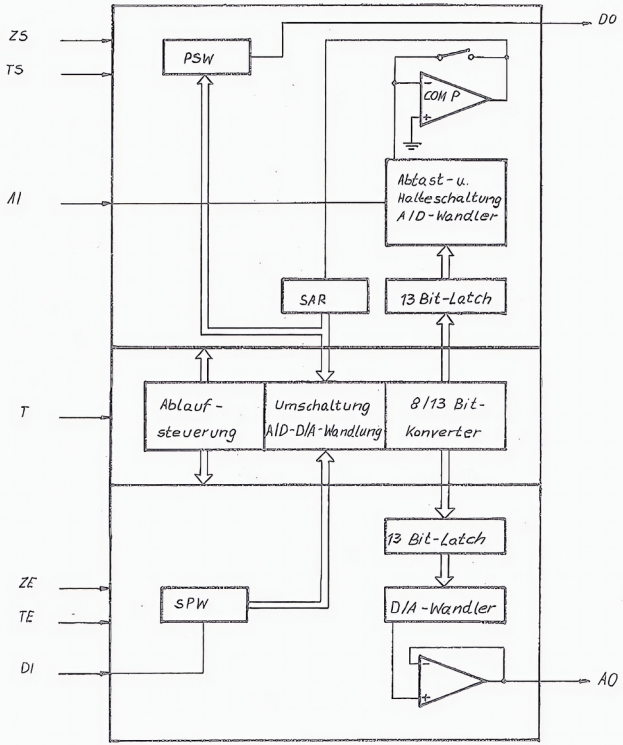


Bild 2: Blockschaltbild

Funktionsbeschreibung

Der U 1011 C ist ein monolithischer CMOS-Codec mit kompandierender Kennlinie nach dem A-Gesetz. Er besteht aus folgenden Hauptbestandteilen:

- Sender (Coder): ein A/D-Wandler für die Wandlung des NF-Signals in die PCM-Codewortfolge
- Empfänger (Decoder): ein D/A-Wandler für die Wandlung der PCM-Codewortfolge in ein pulsamplitudenmoduliertes NF-Signal (PAM).

Den technischen Daten des U 1011 C wurden die Forderungen der Nachrichtentechnik zugrunde gelegt (CCITT G. 711, G. 712, G.71x).

Die digitalen Ein- und Ausgänge (entsprechend Empfänger und Sender) sind seriell ausgeführt. Es werden 8 bit-Datenworte verwendet, die die Information eines analogen Abtastwertes beinhalten. Die Abtastrate (-frequenz) beträgt 8 kHz.

Auf den digitalen Übertragungsleitungen können die Informationen mit 64 $Kbits^{-1}$ bis 2,1 $Mbits^{-1}$ übertragen werden (1 bis 32 Kanäle), wobei die 8 bit-PCM-Datenworte stets komplett auftreten. Mittels eines Synchronisationsimpulses für das Senden bzw. Empfangen erfolgt die richtige Zuordnung der im Multiplex über eine einzige Übertragungsleitung ausgetauschten Mehrkanal-Information. Dieser Synchronisationsimpuls legt die Zeitlage (Zeitschlitz) innerhalb der zeitlichen Aufeinanderfolge der Kanäle fest, wobei die Sende- und Empfangszeitlage synchron oder asynchron sein können, und kann vom Schaltkreis U 1021 D erzeugt werden. Für die notwendige Filterung der abgetasteten bzw. abgegebenen NF-(Sprach-)Signale kann der Schaltkreis U 1001 C eingesetzt werden.

Die bits B1 ... B8 (in der Reihenfolge ihres Auftretens) des PCM-Datenwortes haben folgende Bedeutung:

B1 ... Vorzeichenbit (sign)
B2 ... B4 Segment-bits (chord)
B5 ... B8 Stufen-bits (step; innerhalb eines Segments)

Das Vorzeichenbit zeigt die Polarität des analogen Abtastwertes an und die Segment- und Stufenbits dessen Größe. Die geradzahligen bits B2, B4, B6, B8 werden invertiert.

Grenzwerte

Kenngröße	Symbol	min.	max.	Einheit
positive Betriebs-spannung	U_{CC}	- 0,3	+ 6,0	V
negative Betriebs-spannung	U_{BB}	- 6,0	+ 0,3	V
positive Referenz-spannung	U_{R+}	- 0,3	U_{CC}	V
negative Referenz-spannung	U_{R-}	U_{BB}	+ 0,3	V
analoge Eingangs-spannung	U_{IA}	U_{BB}	U_{CC}	V
digitale Eingangs-spannung	U_{ID}	- 0,3	U_{CC} + 0,3	V
analoge Ausgangs-spannung	U_{OA}	U_{BB} - 0,3	U_{CC} + 0,3	V
digitale Ausgangs-spannung	U_{OD}	- 0,3	U_{CC} + 0,3	V
Ausgangsstrom	$\lvert I_O \rvert$	-	5	mA
Verlustleistung bei ϑ_a = 25 °C	P_V	-	400	mW
Umgebungstemperatur	ϑ_a	0	70	°C
Lagerungstemperatur	ϑ_s	- 55	125	°C
Differenz der Masse-potentiale	U_{SSAD}	-	± 0,3	V

Betriebsbedingungen U 1011 C

Kenngröße	Symbol	min.	typ.	max.	Einheit
pos. Betriebsspannung	U_{CC}	4,75	5,0	5,25	V
neg. Betriebsspannung	U_{BB}	-5,25	-5,0	-4,75	V
pos. Referenzspannung	U_{R+}	2,375	2,5	2,625	V
neg. Referenzspannung	U_{R-}	-2,675	-2,5	-2,375	V
Umgebungstemperatur	ϑ_a	0	25	70	°C
Eingangsspannung Low	U_{IL}	0	-	0,8	V
Eingangsspannung High	U_{IH}	2,2	-	U_{CC}	V
Taktfrequenz an T (Grundtakt)	f_M	1500	2048	2100	kHz
Datentakt Empfänger und Sender an TE, TS	f_R, f_X	64	2048	2100	kHz
Taktimpulsbreite an T, TE, TS	t_{WC}	200	-	-	ns
Taktimpulsanstiegs- u. -abfallzeiten an T, TE, TS	t_{RC} t_{FC}	-	-	25 % von t_{WC}	ns

Betriebsbedingungen U 1011 C (Fortsetzung)

Kenngröße	Symbol	min.	typ.	max.	Einheit
Zeitlagenimpulsanstiegs- u. -abfallzeiten an ZE, ZS	t_{RS} t_{FS}	-	-	25 % von t_{WC}	ns
Anstiegs- und Abfallzeiten am Digital-Eingang DI	t_{DIR} t_{DIF}	-	-	25 % von t_{WC}	ns
Zeitlagenimpulsbreite an ZE, ZS	t_{WSR} t_{WSX}	-	$8/f_R$, $8/f_X$	-	ns
Periode von ZE, ZS	t_{PS}	-	125	-	µs
Verzögerung Sendetakt TS zu Sendezeitlage ZS (ansteigende Flanke)	t_{XCS}	50 % von t_{FC}, t_{RS}	-	-	ns
Verzögerung TS zu ZS (fallende Flanke)	t_{XCSN}	200	-	-	ns
Setzzeit ZS	t_{XSS}	200	-	-	ns
Verzögerung Empfangszeitlage ZE zu Empfangstakt TE	t_{SRC}	50 % von t_{RC}, t	-	-	ns
Verzögerung Empfangstakt TE zu Empfangszeitlage ZE	t_{RCS}	200	-	-	ns
Setzzeit Empfangszeitlage ZE	t_{RSS}	200	-	-	ns

Betriebsbedingungen U 1011 C (Fortsetzung)

Kenngröße	Symbol	min.	typ.	max.	Einheit
Setzzeit Empfangsdaten an DI	t_{RDS}	50	-	-	ns
Haltezeit Empfangsdaten an DI	t_{RDH}	200	-	-	ns
Lastwiderstand an AO	R_{AO}	20	-	-	kΩ
Lastkapazität an AO	C_{AO}	-	-	30	pF
Generatorinnenwiderstand an A_I während der Abtastung	R_{EAI}	-	-	3	kΩ
Differenz der Massepotentiale	U_{SSAD}	-	0	-	V

Kennwerte U 1011 C

Kenngröße	Symbol	min.	max.	Einheit	Bemerkung
Stromaufnahme an U_{CC}	I_{CC}	-	10	mA	
Stromaufnahme an U_{BB}	I_{BB}	-	6	mA	
Ausgangsspannung Low an DO	U_{OL}	-	0,4	V	
Ausgangsspannung High an DO	U_{OH}	3,5	-	V	
Eingangsstrom an T, DI, TE, TS, ZE, ZS	$\|I_I\|$	-	5	/uA	

Kennwerte U 1011 C (Fortsetzung)

Kenngröße	Symbol	min.	max.	Einheit	Bemerkung
Eingangsoffsetspannung	U_{offAI}	- 8	+ 8	mV	
Ausgangsoffsetspannung	U_{offAO}	- 850	+ 850	mV	
Datenverzögerung, Sender	t_{XDD}	-	200	ns	
Ausgangsdaten präsent, Sender	t_{XDP}	-	200	ns	
Digital-Ausgang three-state	t_{XDT}	-	150	ns	
Digital-Ausgang, Abfallzeit	t_{DOF}	-	50	ns	
Digital-Ausgang, Anstiegszeit	t_{DOR}	-	75	ns	

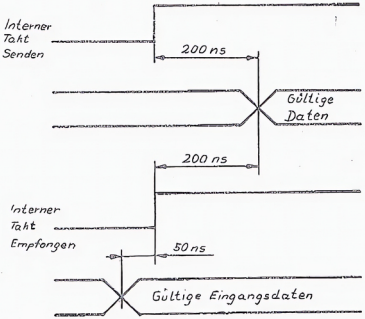
NF-Übertragung, Sender (mit Offset-Abgleich)

Kenngröße	Symbol	min.	max.	Einheit	Bemerkung
Absolute Verstärkung	A_S	-0,2	0	dB	
					Eing.-pegel:
Verstärkungsabhängigkeit vom Pegel	ΔA_{SP}	-0,25	+0,25	dB	+3 - -40 dBm0
		-0,5	+0,5	dB	-40 - -50 dBm0
		-1,5	+1,5	dB	-50 - -55 dBm0
					Eing.-pegel
Signal zur Gesamtverzerrung	S/D_S	35	-	dB	0 - -30 dBm0
		29	-	dB	-40 dBm0
		24	-	dB	-45 dBm0
Grundgeräusch	N_S	-	-69	dBm0p	

NF-Übertragung, Empfänger (mit Rekonstruktionsfilter und sinx/x-Korrektur)

Absolute Verstärkung	A_E	-0,15	+0,05	dB	
					Eing.-pegel:
Verstärkungsabhängigkeit vom Pegel	ΔA_{EP}	-0,25	+0,25	dB	+3 - -40 dBm0
		-0,5	+0,5	dB	-40 - -50 dBm0
		-1,5	+1,5	dB	-50 - -55 dBm0
					Eing.-pegel
Signal zur Gesamtverzerrung	S/D_E	36	-	dB	0 - -30 dBm0
		30	-	dB	-40 dBm0
		25	-	dB	-45 dBm0
Grundgeräusch	N_E	-	-80	dBm0p	

V_{SP}, S/D_S, V_{EP}, S/D_E nach CCITT-Methode 2, ϑ_a = 25 °C



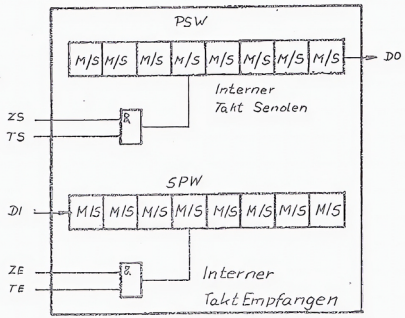


Bild 3: Eingangs-/Ausgangs-Impulsdiagramm; Schaltung U 1011 C

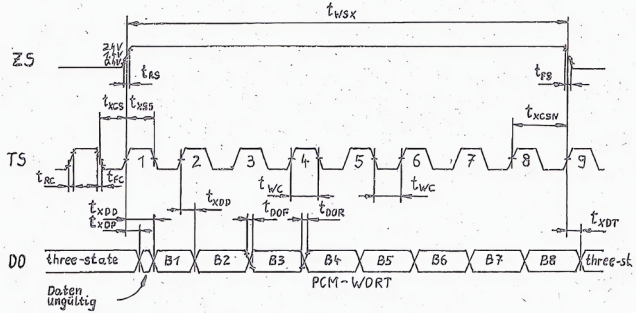


Bild 4: Impulsdiagramm Sender U 1011 C

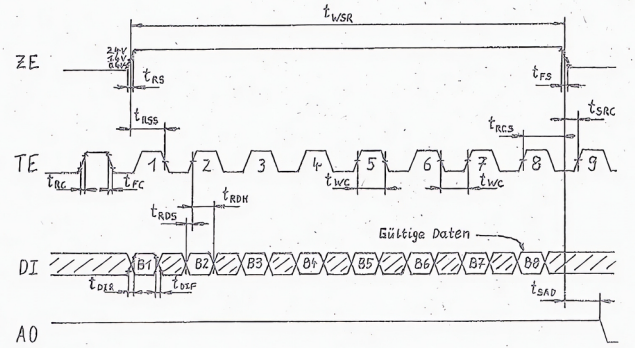


Bild 5: Impulsdiagramm Empfänger U 1011 C

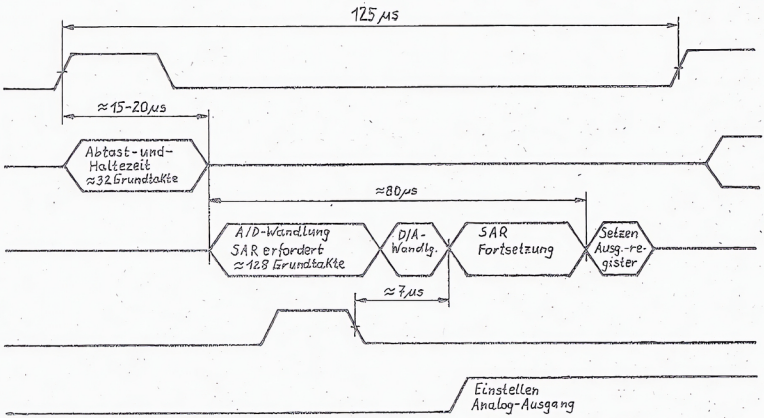


Bild 6: A/D - D/A-Zeitdiagramm des U 1011 C

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

Herausgeber:

VEB Applikationszentrum Elektronik Berlin
im VEB Kombinat Mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

U 1021 D

1/85

vorläufige technische Daten

Hersteller: VEB Zentrum für Forschung und Technologie
Mikroelektronik Dresden

Zeitlagensteuerschaltkreis

Technische Daten

- spezieller digitaler Steuerschaltkreis in CMOS-Technologie; programmierbar
- + 5 V Versorgungsspannung
- TTL- und CMOS-kompatible Eingänge
- 24-PIN-DIL-Gehäuse
- synchroner oder asynchroner Betrieb (bzgl. Sende- und Empfangsrichtung)
- Taktfrequenz 2048 kHz
- direkte Zusammenschaltung mit den Schaltkreisen U 1001 D und U 1011 D

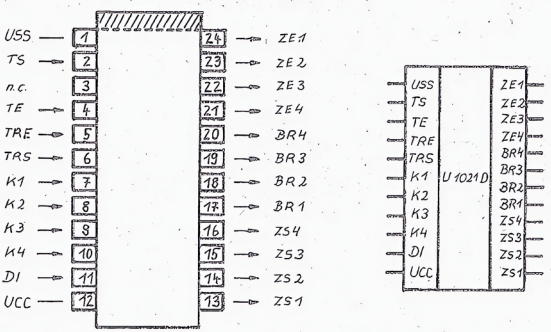


Bild 1: Anschlußbelegung (Ansicht von oben) und Schaltzeichen

PIN-Funktionen

PIN-Nr.	Name	Ein-/Ausgang	Funktion
1	USS	-	Masse; allg. Bezugspotential
2	TS	EIN	Grundtakt Sender (f = 2048 kHz)
3	n.c.	-	(intern) nicht angeschlossen
4	TE	EIN	Grundtakt Empfänger (f = 2048 kHz)
5	TRE	EIN	Synchrontakt Empfänger, Bezugssignal für 32 Zeitlagen, High-aktiv
6	TRS	EIN	Synchrontakt Sender, Bezugssignal für 32 Zeitlagen, High-aktiv
7 ... 10	K1 ... K4	EIN	Kanaltakt (Kanal 1 ... 4) für das Einlesen des Steuerwortes über DI
11	DI	EIN	Daten-Eingang für das (serielle) 8 Bit-Steuerwort
12	UCC	-	Betriebsspannung
13 ... 16	ZS1 ... ZS4	AUS	Zeitlagensignal Sender (Kanal 1 ... 4) High-aktiv
17 ... 20	BR1 ... BR4	AUS	Bereitschaftssignal (Kanal 1 ... 4); High-aktiv

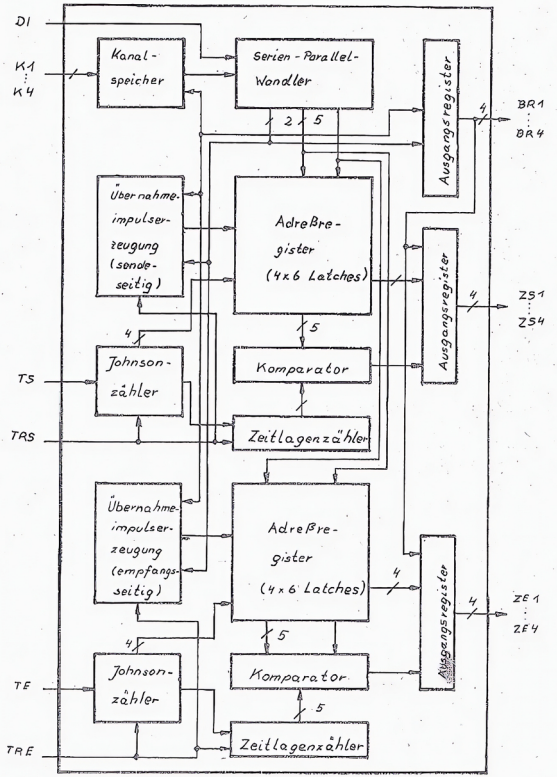


Bild 2: Blockschaltbild des U 1021 D

Funktionsbeschreibung

Der Zeitlagensteuerschaltkreis U 1021 D ist ein Interface-Schaltkreis, vorrangig für die Ansteuerung der Schaltkreise U 1001·D (Filter) und U 1011 D (Codec) in digitalen Vermittlungsanlagen. Er ist zur Steuerung von 4 Teilnehmern (4 Kanäle) mit jeweils einem Codec und Filter vorgesehen.
Der U 1021 D steuert das Ein- und Auslesen der digitalen Informationen am Codec und den Bereitschaftszustand des Filters. Er selbst wird von einer übergeordneten Steuerung mit Hilfe eines 8 Bit-Datenwortes programmiert. Jeder der 4 Kanäle in jeweils Sende- bzw. Empfangsrichtung kann entsprechend dem PCM30 - Grundsystem (f = 8 kHz, T≈3,9 /us, f_T = 2048 kHz) 1 von 32 möglichen Zeitlagen ansteuern.
Die Zeitlagenimpulse synchronisieren die angeschlossenen Kanäle bezüglich der gesendeten bzw. empfangenen PCM-Daten. Die Erzeugung der Zeitlagenimpulse basiert auf je einem Zeitlagenzähler, der vom jeweiligen Grundtakt TS bzw. TE angesteuert und durch den jeweiligen Synchrontakt (Rahmensignal) TRS bzw. TRE gesetzt (synchronisiert) wird.

Das die Betriebsart und die Zeitlage bestimmende Datenwort wird synchron mit den H/L-Flanken an K1 ... K4 über DI - getrennt für jeden Kanal - eingelesen. Die Einschreibperiode für ein Datenwort muß ≧ 250 /us betragen.
Bei Bereitschaftsbetrieb wird ein statisches Signal BRi = H ausgegeben. Beim Übergang vom Bereitschaftsbetrieb zum aktiven Betrieb sind 2 Programmierungen erforderlich. Mit der ersten Programmierung wird die Zeitlagensteuerung aktiviert und mit der zweiten die gewünschte Zeitlage eingestellt.

Struktur des Steuerwortes B1, B2 ... B8
(in der Reihenfolge des Einlesens)

B1 ... B3: Status, Betriebsart
B4 ... B8: Zeitlagen-(Zeitschlitz-)Adresse

B1	B2	B3	Betriebsart
L	L	L	Senden und Empfangen
L	H	L	Senden
H	L	L	Empfangen
H	H	L	Bereitschaft (B4 ... B8 ohne Bedeutung)

B1	B2	B3	Betriebsart
L	L	H	Senden und Empfangen - Zeitlagenimpuls blockiert (B4 ... B8 ohne Bedeutung)
L	H	H	Senden - Zeitlagenimpuls blockiert (B4 ... B8 ohne Bedeutung)
H	L	H	Empfangen - Zeitlagenimpuls blockiert (B4 ... B8 ohne Bedeutung)
H	H	H	Bereitschaft (B4 ... B8 ohne Bedeutung)

B4	B5	B6	B7	B8	Zeitlage
L	L	L	L	L	1
L	L	L	L	H	2
L	L	L	H	L	3
L	L	L	H	H	4
L	L	H	L	L	5
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.
H	H	H	H	H	32

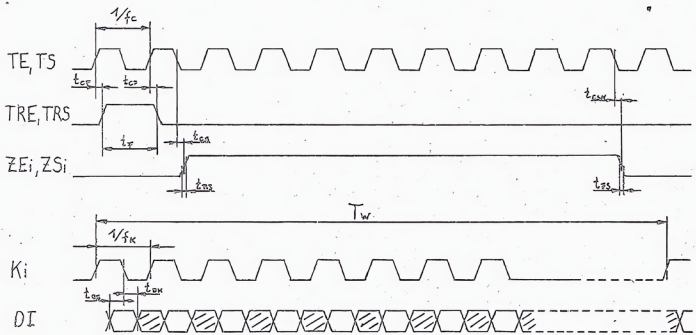
Kennwerte	Symbol	min.	max.	Einheit	Bedingungen
Eingangsstrom	$\|I_I\|$	-	5	uA	statisch
Stromaufnahme	I_{CC}	-	2	mA	f = 2048 kHz
Anstiegs- u. Abfallzeit Zeitlagenimpuls	t_{RS}, t_{FS}	-	60	ns	C_L = 30 pF
Eingangskapazität	C_I	-	10	pF	ϑ_a = 25 °C
Ausgangsspannung Low	U_{OL}	-	0,4	V	I_{OL} = 1,6 mA
Ausgangsspannung High	U_{OH}	3,5	-	V	$-I_{OH}$ = 0,4 mA
Verzögerung Grundtakt-Zeitlagenimpuls, positive Flanke	t_{CS}	30	210	ns	C_L = 30 pF
Verzögerung, Grundtaktzeitlagenimpuls, negative Flanke	t_{CSN}	30	210	ns	C_L = 30 pF

Grenzwerte

Kenngröße	Symbol	min.	max.	Einheit
Betriebsspannung	U_{CC}	- 0,3	6,0	V
Eingangsspannung	U_I	- 0,3	U_{CC} + 0,3	V
Ausgangsspannung	U_O	- 0,3	U_{CC} + 0,3	V
Ausgangsstrom	$\|I_O\|$	-	5	mA
Verlustleistung bei ϑ_a = 25 °C	P_V	-	400	mW
Umgebungstemperatur	ϑ_a	0	70	°C
Lagerungstemperatur	ϑ_s	- 55	125	°C

Betriebsbedingungen

Kenngröße	Symbol	min.	typ.	max.	Einheit
Betriebsspannung	U_{CC}	4,75	5,0	5,25	V
Umgebungstemperatur	ϑ_a	0	25	70	°C
Eing.-spannung Low	U_{IL}	-	-	0,8	V
Eing.-spannung High	U_{IH}	2,2	-	-	V
Grundtakt an TE, TS	f_c	-	2048	-	kHz
Kanaltakt an K1 ... K4	f_K	73	128	256	kHz
Einschreibperiode	T_W	250	-	-	µs
Frequenz Synchronimpuls TRE, TRS	f_F	-	8	-	kHz
Impulsbreite TRE, TRS	t_F	438	488	538	ns
Verzögerung Grundtakt zu Synchronimpuls	t_{CF}	15	-	100	ns
Setzzeit Datenbit	t_{DS}	1	-	-	µs
Haltezeit Datenbit	t_{DH}	1	-	-	µs
Taktimpulsanstiegs- u. abfallzeiten an TE, TS, TRE, TRS, K1 ... K4	t_{RC}	-	-	60	ns



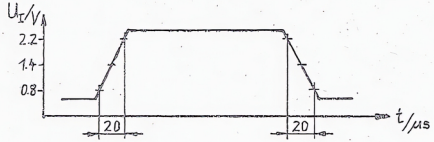


Bild 3: Impulsdiagramm des U 1021 D

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

Herausgeber:
veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex 011 2981, 011 3055

mikroelektronik

Information

RFT

U 2164 C

1/85

vorläufige technische Daten

Hersteller: VEB Zentrum für Forschung und Technologie
Mikroelektronik Dresden

Dynamischer Schreib-Lese-Speicher

- dynamischer Schreib-Lese-Speicher mit wahlfreiem Zugriff (dRAM)
- Organisation 65536 x 1 Bit
- Herstellungstechnologie nMOS
- Eingang/Ausgang TTL-kompatibel
- Datenausgang gesteuert von /CAS (High Z)
- 128 Refreshzyklen, 2 ms Refreshzeit
- 16 poliges Keramik-Gehäuse
- Betriebsarten
  READ, WRITE, READ-MODIFY-WRITE, PAGE-MODE, REFRESH
- 2 Selektionstypen

		U 2164 C 20	U 2164 C 25
Zugriffszeit	T_{RLOV}	= 200 ns	= 250 ns
	T_{CLOV}	= 110 ns	= 150 ns
Zykluszeit	T_{RLRL}	= 330 ns	= 460 ns

Abmessung

Bauform 21.2.11.2.16 TGL 26713

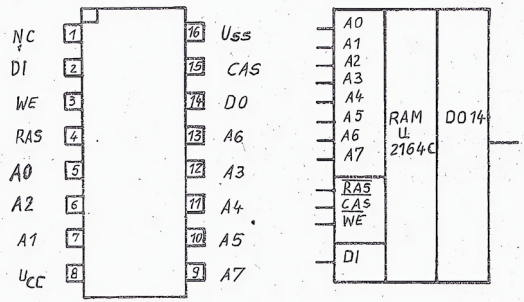


Bild 1: Anschlußbelegung (Ansicht von oben) und Schaltzeichen.
Markierung kennzeichnet Seite mit Pin 1

NC	nicht angeschlossen
A0 ... A7	Adresseneingänge
$\overline{CAS}$	Spaltenadressensteuerung
$\overline{RAS}$	Zeilenadressensteuerung
DI	Dateneingang
DO	Datenausgang
$\overline{WE}$	Lese-Schreib-Steuerung
UCC	+ 5 V Betriebsspannungen
USS	(0V)

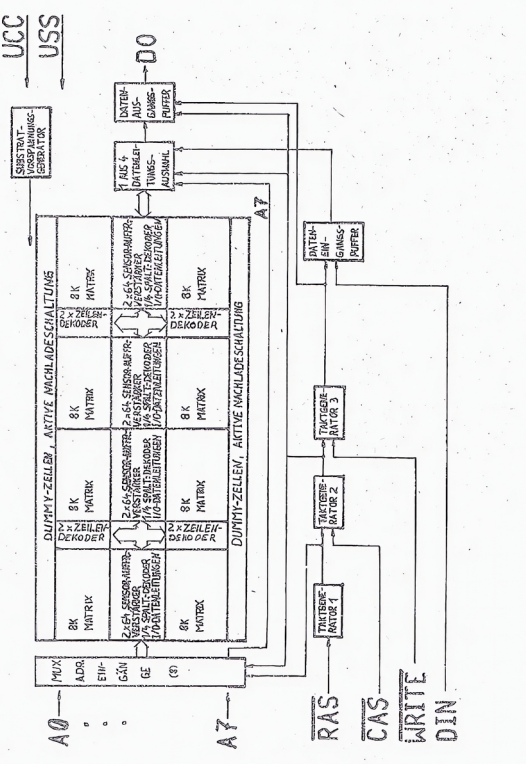


Bild 2: Blockschaltbild des U 2164 C

Funktionsweise

Adressierung

Die 16 Adressen, die zur Auswahl einer der 65'536 Speicherzellen erforderlich sind, werden zeitmultiplex über 8 Adresseneingänge A0 ... A7 in die internen Adressenspeicher übernommen. Das wird durch die zeitliche Folge zweier abfallender Flanken von Taktimpulsen mit TTL-Pegeln erreicht.
Der erste Taktimpuls, Row-Adress-Strobe ($\overline{RAS}$), übernimmt die Reihenadressen in das Chip. Der zweite Taktimpuls, Column-Adress-Strobe ($\overline{CAS}$), übernimmt danach die 8 Spaltenadressen in das Chip. Jedes dieser Signale $\overline{RAS}$ und $\overline{CAS}$ löst eine Folge von intern erzeugten Taktimpulsen aus.
Die beiden Taktketten sind logisch in der Weise gegeneinander verriegelt, daß die zeitmultiplexe Adressenübernahme außerhalb des kritischen Zeitweges für den Datenzugriff beim Lesen liegt. Die späteren Ereignisse in der $\overline{CAS}$-gesteuerten Taktkette sind gesperrt, bis ein Signal ("GATED CAS") entsteht, das von der $\overline{RAS}$-Taktkette abgeleitet ist. Dieses "GATED CAS" erlaubt, daß der $\overline{CAS}$-Takt extern dann schon aktiviert werden darf, wenn die Zeilenadressenhaltezeit (TRLZX) vergangen ist und die Adresseninformation von Zeile zu Spalte gewechselt hat.

Dateneingang und -ausgang

Die Daten, die in eine ausgewählte Zelle eingeschrieben werden sollen, werden bei einer Kombination der $\overline{WE}$- und $\overline{CAS}$-Signale in ein Dateneingangsregister übernommen, wenn $\overline{RAS}$ aktiv ist.

Das letzte der beiden Signale ($\overline{WE}$, $\overline{CAS}$) veranlaßt mit seiner abfallenden Flanke die Übernahme der Dateninformationen (DI) in das Dateneingangsregister, dadurch gibt es verschiedene Möglichkeiten der Schreibzyklus-Steuerung.
Bei einem Schreibzyklus, bei dem $\overline{WE}$ vor $\overline{CAS}$ aktiv (Low) wird, wird DI durch $\overline{CAS}$ übernommen. Die Dateneingangsvorhaltezeit (TIVCL) und -haltezeit (TCLIX) sind dann auf $\overline{CAS}$ zu beziehen.

Wenn die Eingangsdaten beim $\overline{CAS}$-Übergang noch nicht verfügbar sind, oder wenn ein "READ-WRITE"-Zyklus gewünscht wird, muß das $\overline{WE}$-Signal verzögert werden bis der $\overline{CAS}$-Übergang erfolgte.
In diesem "DELAYED-WRITE"-Zyklus sind die o. g. Zeiten (TIVWL bzw. TWLIX) auf $\overline{WE}$ zu beziehen (s. Zeitdiagramme für READ und READ-MODIFY-WRITE). Die Daten werden vom Speicher in Lesezyklen gehalten, wenn $\overline{WE}$ im inaktiven Zustand (High) ist, und zwar solange, wie $\overline{CAS}$ aktiv (Low) ist. Die auszulesenden Daten werden am Ausgang nach der angegebenen Zugriffszeit verfügbar.

Datenausgangssteuerung

Der normale Zustand des Datenausgangs (DO) ist der hochohmige Zustand. Immer wenn $\overline{CAS}$ inaktiv (High) ist, ist DO im hochohmigen Zustand. Der einzige Zeitpunkt, in dem der Ausgang eingeschaltet ist und die logische "0" oder "1" enthält, ist nach der Zugriffszeit bei einem Lesezyklus. DO ist dann gültig, bis $\overline{CAS}$ zurück in den inaktiven (High) Zustand geht.

Wenn der Speicherzyklus ein "READ-, "READ-MODIFY-WRITE"- oder ein "DELAYED-WRITE"-Zyklus ist, dann geht DO vom hochohmigen in den aktiven Zustand ("0" oder "1") über. Nach der Zugriffszeit steht der Inhalt der ausgewählten Zelle (nicht invertiert zum ehemaligen DI-Signal) zur Verfügung. Der Ausgang bleibt aktiv, bis $\overline{CAS}$ inaktiv (High) wird, unabhängig ob $\overline{RAS}$ inaktiv wird oder nicht

Wenn der Speicherzyklus ein "WRITE"-Zyklus ist ($\overline{WE}$ aktiv, bevor $\overline{CAS}$ aktiv wird), dann behält der Datenausgang DO seinen hochohmigen Zustand während des gesamten Zyklus. Diese Konfiguration erlaubt dem Anwender volle Steuermöglichkeit von DO allein durch die Zeitsteuerung von $\overline{WE}$. Dadurch, daß der Ausgang die Daten speichert, bleiben die Daten von der Zugriffszeit an bis zum Beginn eines folgenden Zyklus ohne Nachteil für die Zugriffszeit (Ausdehnung) gültig.

"PAGE-MODE"

Die "PAGE-MODE"-Zyklen erlauben für aufeinanderfolgende Speicheroperationen für verschiedene Spaltenadressen bei der gleichen Zeilenadresse erhöhte Geschwindigkeit ohne Anwachsen der Verlustleistung. Das wird durch eine eingespeicherte Zeilenadresse und $\overline{RAS}$ aktiv (Low) während aller folgenden Speicherzyklen, die sich auf die gleiche Zeilenadresse bezieht, erreicht. Dieser "PAGE-MODE"- Zyklus spart die Verlustleistung ein, die mit dem $\overline{RAS}$-Übergang verbunden ist. Die Zeit für die Übernahme weiterer Zeilenadressen wird dann eingespart. Deshalb sind Zugriffs- und Zykluszeit um diesen Betrag kleiner.

Auffrischen

Das Auffrischen der Daten in der Speichermatrix mit dynamischen Zellen wird ausgeführt, indem ein Speicherzyklus für jede der 128 (A0 ... A6) Zeilenadressen in dem Zeitintervall von 2 ms ausgeführt wird.

Neben den normalen Speicherzyklen ist das mittels "RAS-ONLY-REFRESH"-Zyklen vorteilhaft möglich. Damit ergibt sich eine erheblich niedrigere Verlustleistung; ausgedrückt wird das durch den kleineren Wert IDD 3.

Einschalten der Betriebsspannungen

Solange eine beliebige Eingangsspannung nicht negativer als – 0,3 V ist, wird keine bestimmte Reihenfolge der Signale vorgeschrieben. Eingangsspannungen negativer als – 0,3 V dürfen an den Eingangsanschlüssen erst 1 ms nach dem Anliegen der Betriebsspannung auftreten.

Wenn im Fehlerfalle die Versorgungsspannung die angegebene Grenze überschreitet, sind zur Vermeidung von Ausfällen die Signale $\overline{RAS}$ und $\overline{CAS}$ in den inaktiven Zustand zu steuern.

Nachdem die Betriebsspannungen anliegen, benötigt der Speicher mindestens 8 Zyklen, die Auffrischen enthalten, um seinen normalen Betrieb zu gewährleisten.

Zeitdiagramme

Verwendete Symbole:

Signale	Flanken *
Z – Zeilenadresse	H – Signal nach High
S – Spaltenadresse	L – Signal nach Low
R – RAS	V – Signal wird gültig
C – CAS	X – Signal wird ungültig
W – WRITE	Z – Signal wird hochohmig

* Die Indices H bzw. L definieren die Art der Flanke (fallend/ steigend), die für die reale Funktion des Schaltkreises erforderliche Zeitbedingung (Beginn/Ende der Flanke) ist dem entsprechenden Taktdiagramm zu entnehmen.

Technische Daten

Alle Spannungen sind U_{SS} (Masse) bezogen.

Die Behandlungsvorschriften für MOS-Bauelemente sind einzuhalten.

Grenzwerte

Kenngröße	Kurz-zeichen	U 2164 C 20/U 2164 C 25 min.	max.	Einheit
Spannung an allen Eingängen	U_I	- 2,0	7,0	V
Ausgangsspannung	U_O	- 2,0	7,0	V
Betriebsspannung	U_{DD}	- 0,5	7,0	V
Umgebungstemperatur	ϑ_a	0	70	°C
Lagertemperatur	ϑ_s	- 65	150	°C
Verlustleistung	P_V		1	W

In nachfolgenden Tabellen gelten diese Bedingungen:

1) Die Eingangs-Low-Spannung darf nicht länger als 40 ns negativer als - 0,3 V sein.

2) $U_{IH\ min}$ und $U_{IL\ max}$ sind Bezugspunkte für die Zeitmessung der Eingangssignale, Übergangszeiten werden zwischen U_{IH} und U_{IL} gemessen.

3) Betrieb innerhalb T_{RLCL} sichert, daß $T_{RLOV\ max}$ eingehalten wird ($T_{RLCL\ max}$ ist nur als Bezugspunkt angegeben). Wenn $T_{RLCL} = T_{RLCL\ max}$, dann wird die Zugriffszeit T_{RLOV} verlängert.

4) T_{WLVL}, T_{RLWL} und T_{CLWL} sind keine einschränkenden Betriebsparameter; wenn $T_{WLCL} \geq T_{WLCL\ min}$, ist der Zyklus ein EARLY-WRITE-Zyklus und der Datenausgang bleibt hochohmig während des gesamten $\overline{CAS}$-Zyklus.
Wenn $T_{CLWL} \geq T_{CLWL\ min}$ und $T_{RLWL} \geq T_{RLWL\ min}$, ist der Zyklus ein READ-WRITE-Zyklus und der Datenausgang gibt die Information der gelesenen Zelle ab. Wenn keine dieser Bedingungen erfüllt ist, ist der Zustand des Datenausgangs (zur Zugriffszeit) unbestimmt.

5) Diese Parameter beziehen sich auf $\overline{CAS}$ in EARLY-WRITE- und auf $\overline{WE}$ in DELAYED-WRITE- bzw. READ-MODIFY-WRITE-Zyklen.

6) Der Ausgang ist abgeschaltet (hochohmig), $\overline{RAS}$ und $\overline{CAS}$ sind High (logisch "1").

7) Annahme, daß $T_{RLCL} \leq T_{RLCL\ max}$

8) Gemessen mit 2 TTL-Lasten, 100 pF

9) $T_{CHO\ max}$ definiert die Zeit, zu welcher der Datenausgang hochohmig wird; diese Zeit ist nicht auf einen Pegel bezogen.

Betriebsbedingungen

Die Zeitmessung erfolgt mit tT = 5 ns

Kenngröße	Kurzzeichen	U 2164 C 20 min.	U 2164 C 20 max.	U 2164 C 25 min.	U 2164 C 25 max.	Einheit	Bedingung
Betriebsspannung	U_{DD}	4,5	5,5	4,75	5,25	V	
Eingang-High-Spann.	U_{IH}	2,4	5,5	2,4	5,5	V	
Eingangs-Low-Spann.	U_{IL}	- 2,0	0,8	- 2,0	0,8	V	1)
Übergangszeit (Anstieg/Abfall)	tT	3	50	3	50	ns	2)
$\overline{RAS}$-Vorladezeit	T_{RHRL}	120		200		ns	
$\overline{RAS}$-Haltezeit	T_{CLRH}	110		150		ns	
$\overline{CAS}$-Haltezeit	T_{RLCH}	200		250		ns	
$\overline{RAS}$-$\overline{CAS}$-Verzögerungsz.	T_{RLCL}	45	90	75	100	ns	3)
$\overline{CAS}$-Vorladezeit	T_{CHCL}	45		90		ns	
$\overline{CAS}$-$\overline{RAS}$-Vorladezeit	T_{CHRL}	- 20		- 20		ns	
Zeilenadressenvorhaltezeit	T_{ZVRL}	0		0		ns	
Zeilenadressenhaltezeit	T_{RLZX}	30		45		ns	
Spaltenadressenvorhaltezeit	T_{SVCL}	0		0		ns	
Spaltenadressenhaltezeit	T_{CLSX}	45		60		ns	
Spaltenadressenhaltezeit von $\overline{RAS}$ an	T_{RLSX}	135		160		ns	
Refresh-Periode	t_{REF}		2		2	ms	

READ/WRITE-Zyklus

Zykluszeit	T_{RLRL}	330		460		ns	
$\overline{RAS}$-Impulsbreite	T_{RLRH}	200	10000	250	10000	ns	
$\overline{CAS}$-Impulsbreite	T_{CLCH}	110	10000	150	10000	ns	
Lesekommandovorhaltezeit	T_{WHCL}	0		0		ns	
Lesekommandohaltezeit	T_{RHWL}	0		0		ns	
$\overline{WE}$-Vorhaltezeit	T_{WLCL}	0		0		ns	4)
$\overline{WE}$-Haltezeit	T_{CLWH}	40		50		ns	
WE-Haltezeit von $\overline{RAS}$ an	T_{RLWH}	130		150		ns	
$\overline{WE}$-Impulsbreite	T_{WLWH}	45		50		ns	
$\overline{WE}$-$\overline{RAS}$-Vorhaltezeit	T_{WLRH}	55		60		ns	

Fortsetzung						
$\overline{WE}$-$\overline{CAS}$-Vorhaltezeit	T_{WLCH}	55		60	ns	
Dateneingangsvorhaltezeit	T_{IVCL} T_{IVWL}	0		0	ns	5)
Dateneingangshaltezeit	T_{CLIX} T_{WLIX}	45		60	ns	5)
Dateneingangshaltezeit von $\overline{RAS}$ an	T_{RLIX}	135		160	ns	

READ-MODIFY-WRITE-Zyklus

Kenngröße	Kurzzeichen	U 2164 C 20 min.	max.	U 2164 C 25 min.	max.	Einheit	Bedingung
RW-Zykluszeit bei RMW	T_{RLRL}	375		495		ns	
$\overline{RAS}$-Impulsbreite bei RMW	T_{RLRH}	230	10000	285	10000	ns	
$\overline{CAS}$-Impulsbreite bei RMW	T_{CLCH}	140	10000	185	10000	ns	
$\overline{RAS}$-$\overline{WE}$-Verzögerungszeit	T_{RLWL}	175		220		ns	4)
$\overline{CAS}$-$\overline{WE}$-Verzögerungszeit	T_{CLWL}	85		120		ns	4)

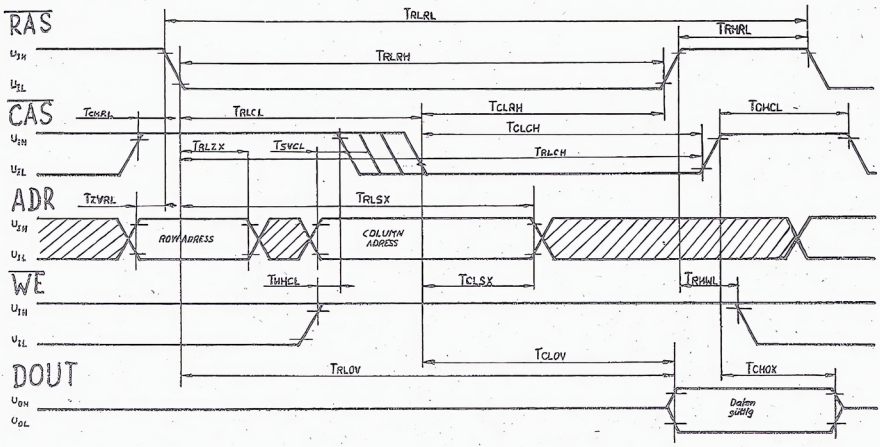
PAGE-MODE-Zyklus

Kenngröße	Kurzzeichen	U 2164 C 20 min.	max.	U 2164 C 25 min.	max.	Einheit	Bedingung
RW-Zykluszeit im PGM	T_{CLCL}	200		280		ns	
RMW-Zykluszeit im PGM	T_{CLCL}	240		325		ns	
$\overline{CAS}$-Vorladezeit im PGM	T_{CHCL}	80		120		ns	
$\overline{RAS}$-Impulsbreite im PGM	T_{RLRH}	200	10000	300	10000	ns	
$\overline{CAS}$-Impulsbreite im PGM	T_{CLCH}	110	10000	150	10000	ns	
Lesekommandohaltezeit im PGM	T_{CHWL}	0		0		ns	

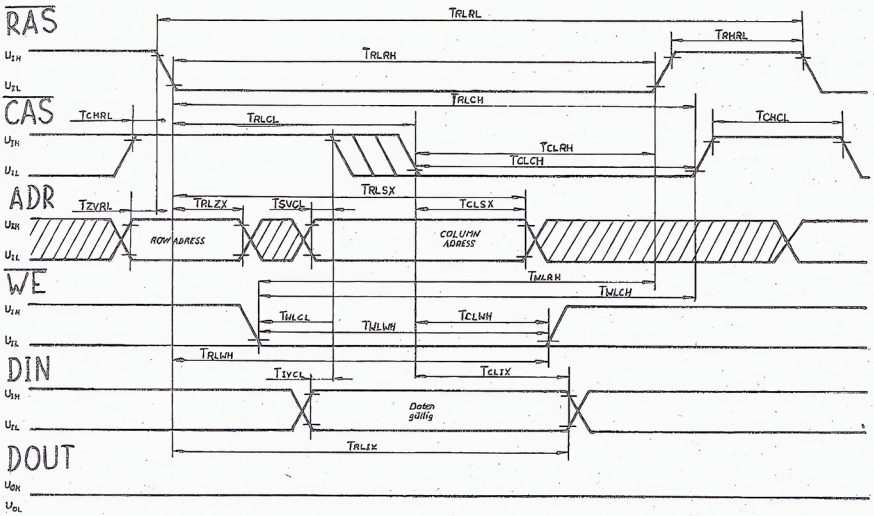
Kennwerte

Die Kennwerte werden für die angegebenen Betriebsbedingungen garantiert, wenn nicht anders angegeben. Alle Spannungen sind auf U_{SS} (Masse) bezogen. Die Ströme I_{DD1} ... I_{DD4} wurden bei 25°C gemessen.

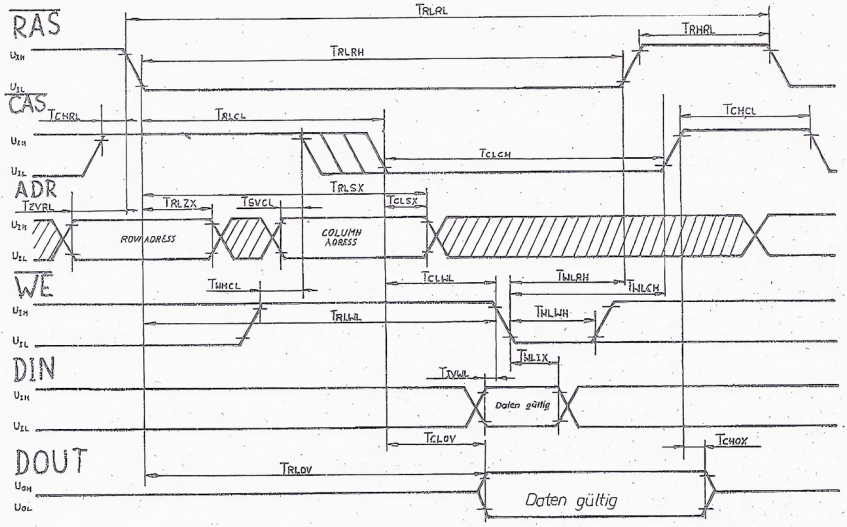
Kenngröße	Kurz-zeichen	U 2164 C 20 min.	U 2164 C 20 max.	U 2164 C 25 min.	U 2164 C 25 max.	Einheit	Bedingung
Betriebsstrom (mittlerer Wert bei $\overline{RAS}$-$\overline{CAS}$-Zyklen)	I_{DD1}		55		55	mA	$I_{RLRL} = I_{RLRL\ min}$
Ruhestrom	I_{DD2}		5		5	mA	$\overline{RAS} = U_{IH}$; DO=High Z
Refresh-Strom (mittlerer Wert)	I_{DD3}		40		40	mA	$\overline{CAS} = U_{IH}$ $t_{RLRL} = t_{RLRL\ min}$
PAGE-MODE-Strom (mittlerer Wert)	I_{DD4}		40		40	mA	$\overline{RAS} = U_{IL}$ $t_{CLCL} = t_{CLCL\ min}$
Eingangsleckstrom (beliebiger Eingang, alle anderen Pins: 0 V)	I_I	- 10	10	- 10	10	µA	U_I: 0 V bis 5,5 V
Ausgangsleckstrom (DO = High Z)	I_O	- 10	10	- 10	10	µA	U_O: 0 V bis 5,5 V 6)
Ausgangspegel High	U_{OH}	2,4		2,4		V	$I_{out} = - 4$ mA
Ausgangspegel Low	U_{OL}		0,4		0,4	V	$I_{out} = 4$ mA
$\overline{RAS}$ -Zugriffszeit	t_{RLOV}		200		250	ns	7)
$\overline{CAS}$-Zugriffszeit	t_{CLOV}		110		150	ns	8)
Ausgangsabschaltzeit	t_{CHOX}	0	50	0	50	ns	0,5 V über Low, 9) 0,5 V unter High
Eingangskapazität (A0 ... A7, DI)	C_I		6		6	pF	$\vartheta_a = 25°C$
Eingangskapazität ($\overline{RAS}$, $\overline{CAS}$, $\overline{WE}$)	C_I		8		8	pF	$\vartheta_a = 25°C$
Ausgangskapazität	C_O		7		7	pF	$\overline{CAS} = U_{IH}$


RAS
CAS
ADR
WE
DOUT
U_{IH}
U_{IL}
U_{OH}
U_{OL}
T_{RLRL}
T_{RHRL}
T_{RLRH}
T_{CHRL}
T_{RLCL}
T_{CLAH}
T_{CLCH}
T_{CHCL}
T_{RLCH}
T_{RLZX}
T_{SVCL}
T_{ZVRL}
T_{RLSX}
ROW ADRESS
COLUMN ADRESS
T_{WHCL}
T_{CLSX}
T_{RHWL}
T_{CLOV}
T_{RLOV}
T_{CHOX}
Daten gültig

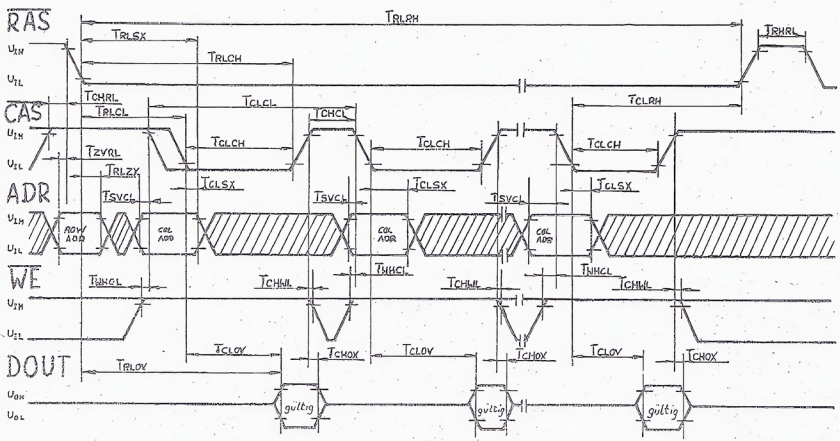
READ - Zyklus



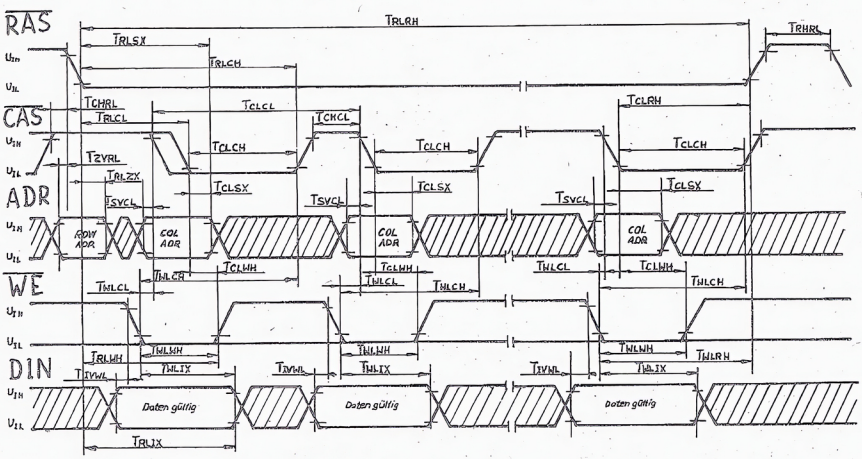
WRITE - Zyklus



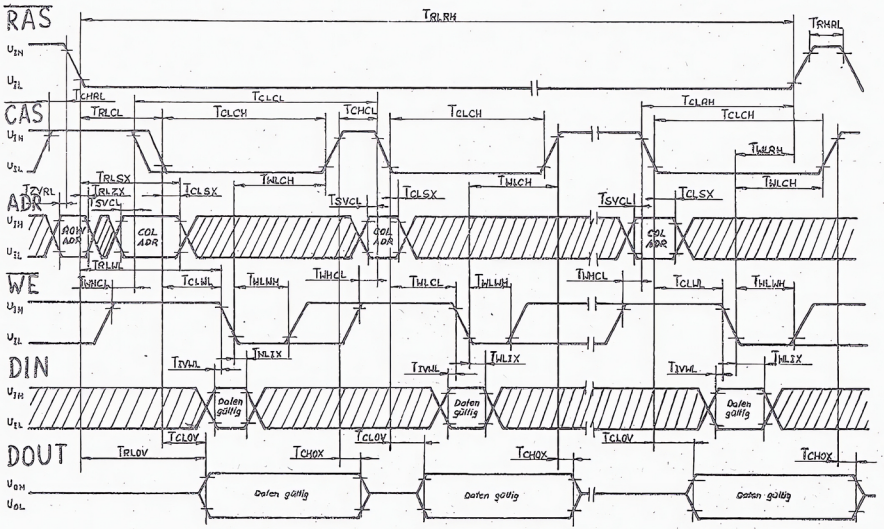
READ - MODIFY - WRITE - Zyklus



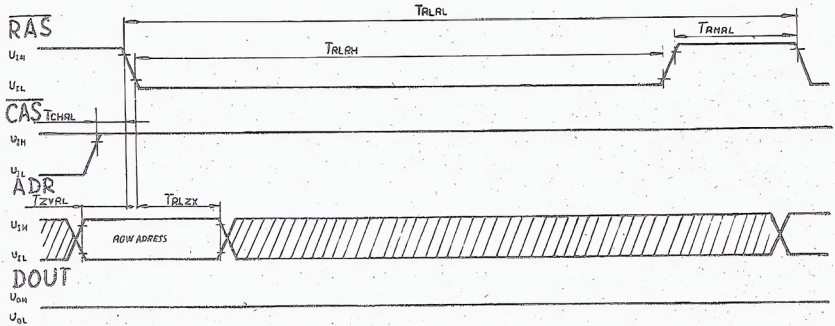
PAGE - MODE - READ - Zyklus



PAGE - MODE - WRITE - Zyklus



PAGE - MODE - READ - MODIFY - WRITE - Zyklus



RAS - ONLY - REFRESH - Zyklus

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

Herausgeber:

VEB Applikationszentrum Elektronik Berlin
im VEB Kombinat Mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

U 2316 D

1/85

vorläufige technische Daten

Hersteller: VEB Mikroelektronik „Karl Marx" Erfurt

Der Schaltkreis U 2316 D ist ein maskenprogrammierter Festwertspeicher (ROM) in n-Kanal-Silicon-Gate-Technologie mit einer Speicherkapazität von 16384 bit. Der Zugriff erfolgt wahlfrei in der Organisation 2048 x 8 bit. Der ROM-Schaltkreis ist in einem 24poligen DIL-Plastgehäuse untergebracht.

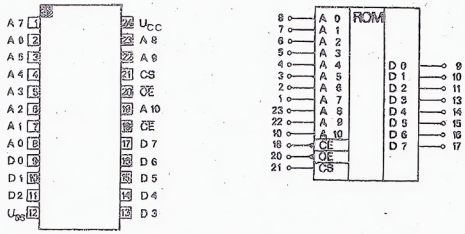


Bild 1: Anschlußbelegung und Schaltungskurzzeichen

Bezeichnung der Anschlüsse

A 0 ... A 10	Adreßleitungen	$\overline{OE}$	Datenausgang-Freigabe
D 0 ... D 7	Datenleitungen	$\overline{CE}$, CS	Chipaktivierungseingänge

Kurzcharakteristik U 2316 D

- Maskenprogrammierter Festwertspeicher (ROM) mit einer Speicherkapazität von 16384 bit in der Organisationsform 2048 x 8 bit.
- Im Ruhezustand (standby) sinkt die Stromaufnahme auf ca. 30 %, die Ausgänge sind hochohmig.
- Zur Erleichterung der Zusammenschaltung mehrerer Schaltkreise zu größeren Speicherkomplexen ist ein programmierbarer CS-Eingang vorgesehen.
- Die Bestellung des Bitmusters hat nach dem MME-Werkstandard FS 457.21 zu erfolgen.

Funktionsbeschreibung

Der Schaltkreis U 2316 D ist ein maskenprogrammierter Festwertspeicher (ROM) in n-Kanal-Silicon-Gate-Technologie mit einer Speicherkapazität von 16384 bit.
Der Zugriff erfolgt wahlfrei in der Organisationsform 2048 x 8 bit. Zur Auswahl des geforderten Datenbyte stehen 11 Adreßeingänge (A 0 ... A 10) zur Verfügung. Die Aktivierung des Schaltkreises erfolgt mit dem Eingang CE. Im Ruhezustand (standby), CE = U_{IH}) sinkt die Stromaufnahme auf ca. 30 % des im ausgewählten Zustand erforderlichen Wertes und die Ausgänge sind hochohmig. Bei $\overline{CE}$ = U_{IL} wird das Chip aktiviert.
Zur Steuerung des Zustandes der Ausgänge ist weiterhin der Eingang $\overline{OE}$ vorhanden. Bei aktivierten Chips werden mit $\overline{OE}$ = U_{IL} die Ausgänge freigegeben.
Zur Erleichterung der Zusammenschaltung mehrerer Schaltkreise zu größeren Speicherkomplexen ist ein programmierbarer CS-Eingang vorgesehen. Der Anwender kann vorgeben, bei welcher Belegung von CS (0,1 oder x) die Ausgänge aktiviert werden und somit direkt an diesen Eingang die höherwertigen Adreßleitungen anschließen. x bedeutet, daß der Chip bei beliebiger Belegung des CS-Einganges mit H- oder L-Pegel immer aktiviert ist.

Falls sich der Schaltkreis durch entsprechende Beschaltung von CS nicht im aktivierten Zustand befindet, sind die Ausgänge hochohmig. Dabei wird kein Ruhezustand eingenommen (im Gegensatz zum Eingang $\overline{CE}$).

Die Eingänge des U 2316 D sind mit integrierten Gateschutzelementen versehen. Ausgangsseitig ist der Schaltkreis in der Lage, zwei TTL-Lasten oder 8 LS-TTL-Lasten zu treiben. Die Bestellung eines Bitmusters hat nach dem MME-Werkstandard zu erfolgen. Das jeweilige Bitmuster wird durch eine dreistellige Kennzahl angegeben, die der Typbezeichnung angefügt ist. Sie wird ebenfalls auf dem Gehäuse aufgestempelt. Die Festlegung der Bitmusterkennzahl erfolgt durch den VEB Mikroelektronik "Karl Marx" Erfurt - Stammbetrieb -. Bei der Schaltkreisbestellung ist die Kennzahl mit anzugeben.

Grenzwerte

(Spannungen auf U_{SS} = 0 V bezogen)

Kennwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{CC}	-0,5	7	V
Eingangsspannung	U_I	-0,5	7	V
Gesamtverlustleistung	P_{tot}		1	W
Lagertemperatur	ϑ_{stg}	-55	125	°C
Lastkapazität	C_L		5	nF

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültige Vertragsunterlage beim Bezug der Bauelemente ist der Typstandard. Rechtsverbindlich ist jeweils die Auftragsbestätigung.

Änderungen im Zuge der technischen Weiterentwicklung vorbehalten.

Die Behandlungsvorschriften für MOS-Bauelemente sind unbedingt einzuhalten, da andernfalls eine Reklamation nicht anerkannt werden kann.

Statische Kennwerte

(Spannungen auf U_{SS} = 0 V bezogen)

Kennwert	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Betriebsspannung	U_{CC}		4,75	5,25	V
Betriebstemperatur	ϑ_a		0	70	°C
Eingangsspannung High	U_{IH}		2,0	U_{CC}+0,5	V
Eingangsspannung Low	U_{IL}		-0,5	0,8	V
Eingangsstrom	I_I	U_I = 5,25 V		10	/uA
Ausgangsstrom	$\|I_O\|$	$\overline{OE}$ = High; $U_O = U_{SS}$ / $U_O = U_{CC}$		10	/uA
Ausgangsspannung Low	U_{OL}	I_{OL} = 3,2 mA		0,4	V
Ausgangsspannung High	U_{OH}	I_{OH} =-400 /uA	2,4		V
statische Stromaufnahme aktiv	I_{CC1}	$\overline{OE} = U_{IL}$; $\overline{CE} = U_{IL}$		100	mA
statische Stromaufnahme standby	I_{CC2}	$\overline{CE} = U_{IH}$; $\overline{OE} = U_{IL}$		30	mA

Dynamische Kennwerte

Kennwert	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Verzögerungszeit Adressen zu D	t_{AVDV}	1)		300	ns
Verzögerungszeit CS zu O	t_{SVDV}	1)		300	ns
Anstiegs- u. Abfallzeit d. Eingangssignale	t_{LH}; t_{HL}			10	/us

Dynamische Kennwerte (Fortsetzung)

Kennwert	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Verzögerungszeit HL-Flanke CE zu D	t_{CLDV}	1)		300	ns
Verzögerungszeit OE zu D	t_{OLDV}	1)		100	ns
Verzögerungszeit CS zu D hochohmig	t_{SXDZ}	1)	0	180	ns
Verzögerungszeit LH-Flanke CE zu D hochohmig	t_{CHDZ}	1)	0	100	ns
Verzögerungszeit LH-Flanke OE zu D hochohmig	t_{OHDZ}	1)	0	100	ns
Haltezeit D nach Adressenwechsel	t_{AXDX}	1)	0		ns

1) Last: 2 TTL-Lasten + C_L = 100 pF

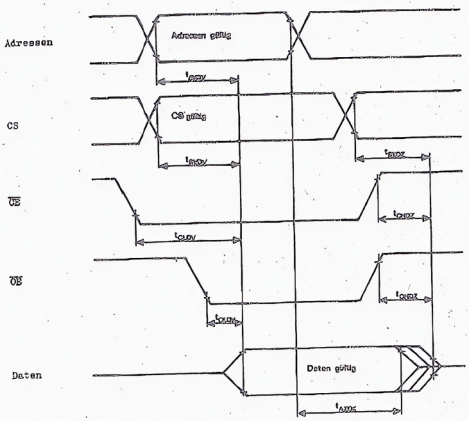


Bild 2: Impulsdiagramm

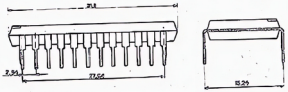


Bild 3: Gehäuseabmessungen

5/85

Die vorliegenden Datenblätter dienen ausschließlich der Information!
Es können daraus keine Liefermöglichkeiten oder Produktionsvorbindlichkeiten abgeleitet werden.
Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

U 2364 D / U 2365 D

1/85

vorläufige technische Daten

Hersteller: VEB Mikroelektronik „Karl Marx" Erfurt

Die Schaltkreise U 2364 D und U 2365 D sind maskenprogrammierte Festwertspeicher (ROM) in n-Kanal-Silicon-Gate-Technologie mit einer Speicherkapazität von 65 536 bit. Der Zugriff erfolgt wahlfrei in der Organisationsform 8192 x 8 bit. Die ROM-Schaltkreise sind in 28poligen DIL-Plastgehäusen untergebracht.

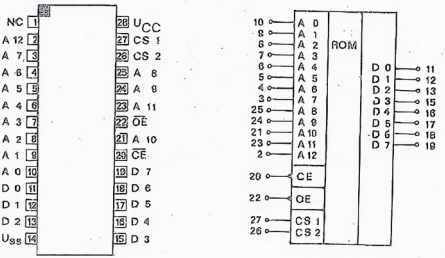


Bild 1: Anschlußbelegung und Schaltungskurzzeichen U 2364 D

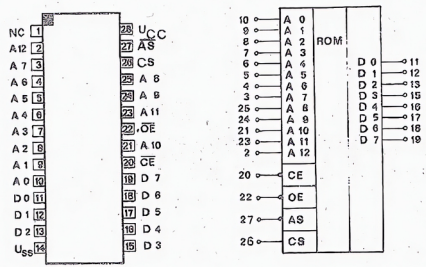


Bild 2: Anschlußbelegung und Schaltungskurzzeichen U 2365 D

Bezeichnung der Anschlüsse:

A Ø ... A 12	Adreßleitungen
D Ø ... D 7	Datenleitungen
U_{SS}	Bezugspotential
U_{CC}	Betriebsspannung
$\overline{CE}$; CS1; CS2	Chip-Aktivierungseingänge
$\overline{OE}$	Datenausgang-Freigabe
$\overline{AS}$	Adressenstrobe
NC	nicht angeschlossen (kann mit einer Spannung 0 V – U – U_{CC} belegt werden)

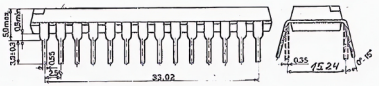


Bild 3: Gehäuseabmessungen

Kurzcharakteristik U 2364 D und U 2365 D

- maskenprogrammierte Festwertspeicher (ROM) mit einer Speicherkapazität von 65 536 bit in der Organisationsform 8192 x 8 bit
- im Ruhezustand (standby) sinkt die Stromaufnahme auf ca. 30 %, die Ausgänge sind hochohmig;
- zur Erleichterung der Zusammenschaltung mehrerer Schaltkreise zu größeren Speicherkomplexen sind programmierbare CS-Eingänge vorgesehen;
- der U 2365 D hat zusätzlich die Möglichkeit, die Adressen in internen Latches zwischenzuspeichern.

Funktionsbeschreibung

Die Schaltkreise U 2364 D und U 2365 D sind maskenprogrammierte Festwertspeicher (ROM) in n-Kanal-Silicon-Gate-Technologie mit einer Speicherkapazität von 65 536 bit.
Der Zugriff erfolgt wahlfrei in der Organisationsform 8192 x 8 bit. Zur Auswahl des geforderten Datenbytes stehen 13 Adresseneingänge (A Ø bis A 12) zur Verfügung. Die Aktivierung des Schaltkreises erfolgt mit dem Eingang $\overline{CE}$. Im Ruhezustand (standby, $\overline{CE} = U_{IH}$) sinkt die Stromaufnahme auf ca. 30 % des im ausgewählten Zustand erforderlichen Wertes und die Ausgänge sind hochohmig. Bei $\overline{CE} = U_{IL}$ wird das Chip aktiviert.
Zur Steuerung des Zustandes der Ausgänge ist weiterhin der Eingang $\overline{OE}$ vorhanden. Bei aktiviertem Chip werden bei $\overline{OE} = U_{IL}$ die Ausgänge freigegeben.
Zur Erleichterung der Zusammenschaltung mehrerer Schaltkreise zu größeren Speicherkomplexen wurden programmierbare CS-Eingänge (U 2364 D: CS 1, CS 2/U 2365 D: CS) vorgesehen. Der Anwender kann vorgeben, bei welcher Belegung dieser Eingänge die Ausgänge aktiviert werden und somit direkt an diese Eingänge die höherwertigen Adressenleitungen anschließen.

Es ergeben sich folgende Möglichkeiten:

U 2364 D		U 2365 D
CS 1	CS 2	CS
0	0	0
1	0	1
0	1	x
1	1	
x	x	

x = Chip ist bei beliebiger Belegung der CS-Eingänge mit H- oder L-Pegel immer aktiviert.

Falls das Chip durch entsprechende Belegung der CS-Eingänge nicht aktiviert ist, sind die Ausgänge hochohmig. Dabei wird kein Ruhezustand eingenommen (im Gegensatz zu $\overline{CE}$).
Der Schaltkreis U 2365 D hat weiterhin die Möglichkeit, die Adressen in internen Latches zwischenzuspeichern. Mit dem Eingang $\overline{AS}$ (adress strobe) wird die Datenübernahme gesteuert, wobei bei $\overline{AS} = U_{IL}$ die Adressen übernommen werden und sofort auf die Ausgänge wirken. Bei $\overline{AS} = U_{IH}$ sind die Adresseneingänge vom Latch getrennt.

Wird beim U 2365 D der $\overline{AS}$ statisch mit U_{IL} beschaltet, dann verhält sich der Schaltkreis wie ein U 2364 D, bei dem CS_2 auf 0 – aktiv programmiert ist. Es gilt dann Impulsdiagramm Bild 4. Die entsprechenden Zeiten für $\overline{AS}$ in den dynamischen Kennwerten entfallen.
Pin 1 kann mit einer Spannung zwischen 0 V und U_{CC} beschaltet werden.
Die Eingänge der Schaltkreise sind mit integrierten Gateschutzelementen versehen. Ausgangsseitig sind die Schaltkreise in der Lage, zwei TTL-Lasten oder 8 LS-TTL-Lasten zu treiben.
Die Bestellung eines Bitmusters hat nach dem MME-Werkstandard FS 457.21 zu erfolgen. Das jeweilige Bitmuster wird durch eine dreistellige Kennzahl gekennzeichnet, die der Typbezeichnung anzufügen ist. Die Festlegung der Bitmusterkennzahl erfolgt durch den VEB MME. Bei der Schaltkreisbestellung ist die Bitmusterkennzahl mit anzugeben.

Grenzwerte (Spannungen auf U_{SS} = 0 V bezogen)

Kennwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{CC}	-0,5	7,0	V
Eingangsspannung	U_I	-0,5	7,0	V
Gesamtverlustleistung	P_{tot}		1,0	W
Lagertemperatur	ϑ_{stg}	-55	125	°C
Lastkapazität	C_L		5	nF

Statische Kennwerte (Spannungen auf U_{SS} = 0 V bezogen, ϑ_a = 0 . . 70 °C)

Kennwert	Kurzzeichen		min.	max.	Einheit
Betriebsspannung	U_{CC}		4,75	5,25	V
Betriebstemperatur	ϑ_a		0	70	°C
Eingangsspannung High	U_{IH}		2,0	U_{CC} + 0,5	V
Eingangsspannung Low	U_{IL}		-0,5	0,8	V
Eingangsstrom	I_I	U_I =5,25V		10	µA
Ausgangsstrom	$\|I_G\|$	$\overline{OE}$ =High		10	µA
		U_O =U_{SS}			
		U_O =U_{CC}			
Statische Stromaufnahme aktiv	I_{CC1}	$\overline{CE}$ =U_{IL}		140	mA
		$\overline{OE}$ =U_{IL}			
Statische Stromaufnahme standby	I_{CC2}	$\overline{CE}$ =U_{IH}		40	mA
		$\overline{OE}$ =U_{IL}			
Ausgangsspannung Low	U_{OL}	I_{OL}=3,2 mA		0,4	V
Ausgangsspannung High	U_{OH}	I_{OH}=400 µA	2,4		V

Dynamische Kennwerte

Kennwert	Kurzzeichen	Meßbedingung	U 2364 D 45/U 2365 D 45 min.	max.	U 2364 D 30/U 2365 D 30 min.	max.	Einheit
Verzögerungszeit Adressen zu D	t_{AVDV}	1)		450		300	ns
Anstiegs- und Abfallzeit der Eingangssign.	$t_{LH};t_{HL}$			10		10	µs
Verzögerungszeit CS zu D	t_{SVDV}	1)		450		300	ns
Verzögerungszeit HL-flanke $\overline{CE}$ zu D	t_{CLDV}	1)		450		300	ns
Verzögerungszeit $\overline{OE}$ zu D	t_{OLDV}	1)		120		100	ns

Kennwert	Kurz-zeichen	Meßbe-dingung	U 2364 D 45/U 2365 D 45 min.	U 2364 D 45/U 2365 D 45 max.	U 2364 D 30/U 2365 D 30 min	U 2364 D 30/U 2365 D 30 max	Einh.
Verzögerungszeit $\overline{CS}$ zu Q hochohmig	t_{SXDZ}	1)	0	220	0	180	ns
Verzögerungszeit LH-Flanke $\overline{OE}$ zu Q hochohmig	t_{CHDZ}	1)	0	120	0	120	ns
Verzögerungszeit LH-Flanke $\overline{OE}$ zu D hochohmig	t_{DHDZ}	1)	0	120	0	120	ns
Haltezeit D nach Adressenwechsel	t_{AXDX}	1)	0		0		ns
Bereitstellzeit Adressen vor HL-Flanke $\overline{AS}$	t_{AVTL}	1)	0		0		ns
Haltezeit Adressen nach LH-Flanke $\overline{AS}$	t_{THAX}	1)	70		70		ns
L-Impulsbreite $\overline{AS}$	t_{TLTH}	1)	80		80		ns
Bereitstellzeit $\overline{CE}$+L vor HL-Flanke $\overline{AS}$	t_{CLTL}	1)	30		80		ns

1) Last: 2 TTL-Lasten + C_L = 100 pF

Flankenanstiegs- und -abfallzeit der Eingangssignale: ≤ 20 ns
Referenzpegel der Eingangssignale: Low = 1,0 V, High = 2,0 V
Referenzpegel der Ausgangssignale: Low = 0,8 V, High = 2,0 V

Indexbezeichnung: S = CS
C = $\overline{CE}$
D = $\overline{OE}$
T = $\overline{AS}$

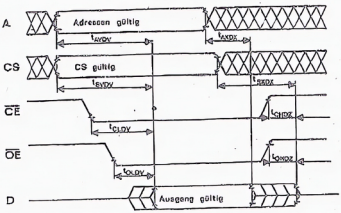
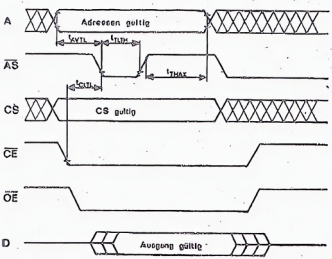


Bild 4: Impulsdiagramm U 2364 D



weitere Zeiten wie U 2364 D

Bild 5: Impulsdiagramm U 2365 D

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und enthält keine Verbindlichkeiten zur Produktion. Die gültigen Vertragsunterlagen beim Bezug der Bauelemente sind die Typenstandards. Rechtsverbindlich ist jeweils die Auftragsbestätigung.

Änderungen im Zuge der technischen Weiterentwicklung vorbehalten. Die Behandlungsvorschriften für MOS-Bauelemente sind unbedingt einzuhalten, da andernfalls eine Reklamation nicht anerkannt werden kann.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Lieferméglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten

RFT

Herausgeber:

vab applikationszentrum elektronik berlin
im vab kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

U 2616 D / U 2716 C

1/85

vorläufige technische Daten

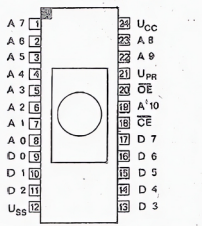
Hersteller: VEB Mikroelektronik „Karl Marx" Erfurt

Der Schaltkreis U 2716 C ist ein statischer elektrisch programmierbarer und UV-loschbarer Festwertspeicher (EPROM)

Der U 2716 C wird in n-Kanal-Silicon-Gate-Technologie hergestellt und befindet sich in einem 24poligen DIL-Keramikgehäuse.

Der Schaltkreis U 2616 D ist ein herstellerprogrammierter Festwertspeicher (PROM). Der U 2616 D wird in n-Kanal-Silicon-Gate-Technologie hergestellt und befindet sich in einem 24poligen DIL-Plastgehäuse. Anschlußbelegung, statische und dynamische Kennwerte des U 2616 D sind identisch mit den entsprechenden Kennwerten des U 2716 C.

Die Schaltkreise besitzen eine Speicherkapazität von 16 384 bit mit einer Organisation von 2048 x 8 bit.



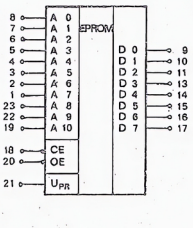
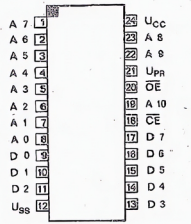


Bild 1: Anschlußbelegung und Schaltungskurzzeichen U 2716 C



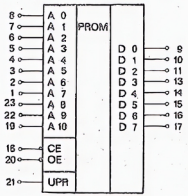


Bild 2: Anschlußbelegung und Schaltungskurzzeichen U 2616 D

Bezeichnung der Anschlüsse:

A Ø . . . A 1Ø	Adresseneingänge	U_{PR}	Programmiereingang
$\overline{CE}$	Chipaktivierungseingang	D Ø . . D 7	Datenein-/-ausgänge
$\overline{OE}$	Eingang zur Freigabe der Ausgänge		

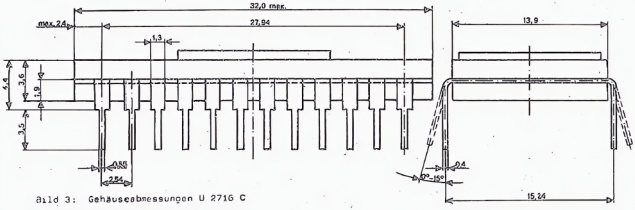


Bild 3: Gehäuseabmessungen U 2716 C

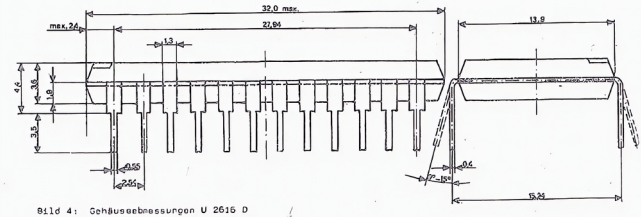


Bild 4: Gehäuseabmessungen U 2616 D

Kurzcharakteristik U 2716 C

- elektrisch programmierbarer, UV-löschbarer Festwertspeicher mit einer Organisation von 2048 x 8 bit
- Betriebsspannung im Lesebetrieb: U_{CC} = 5 V
- Zugriffszeit im Lesezyklus

  U 2716 C 45: T_{AVDV} = 450 ns

  U 2716 C 39: T_{AVDV} = 390 ns

  U 2716 C 35: T_{AVDV} = 350 ns
- im Standby-Modus um ca. 75 % geringerer Betriebsstrom
- three-state-Ausgänge, bidirektionale Datenpins
- zum Programmieren werden 50 ms - Programmierimpulse mit TTL-Pegel verwendet
- byteweises Programmieren ist möglich
- Programmierung ist direkt auf der Leiterplatte möglich

Kurzcharakteristik U 2616 D

- durch den Hersteller elektrisch programmierter Festwertspeicher (PROM) mit einer Organisation von 2048 x 8 bit
- Betriebsspannung: U_{CC} = 5 V
- Zugriffszeit im Lesezyklus

  U 2616 D 45: T_{AVDV} = 450 ns

  U 2616 D 39: T_{AVDV} = 390 ns
- im Standby-Modus um ca. 75 % geringerer Betriebsstrom
- three-state-Ausgänge

Tabelle 1: Zustandstabelle des U 2716 C

Betriebsart	Pin: 24	21	18	20	9; 11; 13 ... 17
Lesen	U_{CC}	$U_{CC} \pm 0{,}6$ V	U_{IL}	U_{IL}	Datenausgabe
Ausgänge nicht ausgewählt	U_{CC}	$U_{CC} \pm 0{,}6$ V	U_{IL}	U_{IH}	hochohmiger Zustand
Ruhezustand	U_{CC}	$U_{CC} \pm 0{,}6$ V	U_{IH}	U_{IL}/U_{IH}	hochohmiger Zustand
Programmieren	U_{CC}	U_{PR}	U_{IH}	U_{IH}	Dateneingabe
Programmier-kontrolle	U_{CC}	U_{PR}	U_{IL}	U_{IL}	Datenausgabe
Programmier-sperre	U_{CC}	U_{PR}	U_{IL}	U_{IH}	hochohmiger Zustand

Tabelle 2: Zustandstabelle des U 2616 D

Betriebsart	Pin: 24	21	18	20	9; 11; 13 ... 17
Lesen	U_{CC}	$U_{CC} \pm 0{,}6$ V	U_{IL}	U_{IL}	Datenausgabe
Ausgänge nicht ausgewählt	U_{CC}	$U_{CC} \pm 0{,}6$ V	U_{IL}	U_{IH}	hochohmiger Zustand
Ruhezustand	U_{CC}	$U_{CC} \pm 0{,}6$ V	U_{IH}	U_{IL}/U_{IH}	hochohmiger Zustand

Beschreibung U 2716 C

Der Schaltkreis U 2716 C ist ein elektrisch programmierbarer, UV-löschbarer Festwertspeicher (EPROM) mit einer Speicherkapazität von 16 384 bit und einer Organisation von 2 k x 8 bit
Zur Auswahl des Speicherinhaltes stehen 11 Adresseneingänge (Spaltenauswahl: A Ø ... A 3 / Zeilenauswahl: A 4 ... A 1Ø) zur Verfügung.
Die Ausgabe und die Eingabe (bei Programmierung) der Daten erfolgt an den 8 Anschlüssen D Ø bis D 7. Der U 2716 C besitzt einen Chipaktivierungseingang ($\overline{CE}$) und einen Eingang zur Freigabe der Ausgänge ($\overline{OE}$). Im Ruhezustand ($\overline{CE}$ = U_{IH}) sind die Datenpins D Ø bis D 7 hochohmig. Die Aktivierung des Chips erfolgt mit $\overline{CE}$ = U_{IL}. Mit dem Eingang $\overline{OE}$ ist in Falle eines aktivierten Schaltkreises ($\overline{CE}$ = U_{IL}) eine Beeinflussung des Zustandes der Ausgänge D Ø bis D 7 möglich Für $\overline{OE}$ = U_{IH} befinden sich die Pins D Ø bis D 7 in hochohmigen Zustand, die Freigabe der Ausgänge erfolgt mit $\overline{OE}$ = U_{IL}.
In den Programmierbetrieb wird der EPROM dann geschaltet, wenn der Pegel an U_{PR} = 25 V $^{+0,5}_{-1,5}$ V erreicht. Die Versorgungsspannung beträgt wie im Normalbetrieb 5 ± 0,25 V. Mit $\overline{CE}$ = U_{IH} -Impulsen können die ursprünglichen H-Pegel der Ausgänge, die nach jeder UV-Löschung erscheinen, entsprechend der an den Datenleitungen anliegenden Information in den L-Zustand überführt werden. Es ist nicht notwendig, in einen Programmierzustand sequentiell alle Speicherplätze zu programmieren. Eine Einzelbytеprogrammierung ist möglich. Es werden folgende drei Zustände unterschieden:

Programmieren

Zum Programmieren ist bei anliegender Programmierspannung U_{PR}, $\overline{OE}$ = U_{IH} und stabilen Daten und Adressen für die Dauer T_{CHCL}, $\overline{CE}$ on U_{IH} zu legen. Dabei ist zu beachten, daß die Programmierspannung gleichzeitig mit oder nach U_{CC} eingeschaltet und gleichzeitig mit oder vor U_{CC} abgeschaltet werden muß. Es ist nicht gestattet, den Schaltkreis bei Anliegen von U_{PR} = 25 V in die Fassung zu stecken oder zu entnehmen.

Programmsperre

Sperre der Programmierung ($\overline{OE}$ = U_{IH}) bei angelegter Programmierspannung. In diesem Zustand können Adressen und Daten gewechselt werden.

Programmkontrolle

In diesem Zustand kann unter Programmierspannung der Inhalt des adressierten Speicherwortes an den Datenpins gelesen werden.
Durch die spezielle Gehäuseausführung kann die einprogrammierte Information mit UV-Licht gelöscht werden. Zur Loschung werden handelsübliche UV-C-Strahler mit einer Strahlungsdosis

$\sigma_{min} \geq$ 15 Ws/cm² für Quarzglasdeckel, λ_{UV} = 254 nm

$\sigma_{min} \geq$ 30 Ws/cm² für Keramikdeckel, λ_{UV} = 254 nm

verwendet.
Dabei sollte der Abstand zwischen Gehäuseoberkante des Schaltkreises und dem Lampenkolben ≤ 2,5cm betragen. In Abhängigkeit von Löschgerätetyp beträgt die Zeit zum sicheren Loschen das Dreifache der latenten Löschzeit. Die latente Löschzeit ist die Zeit, nach der die Speicherinformation gerade nicht mehr nachweisbar ist. Die Löschzeit soll nicht weniger als 10 min betragen. Verunreinigungen auf den Deckeln beeinflussen die Transparenz und damit die Loschzeit. Mindestens 20 Programmier-Lösch-Zyklen sind möglich. Bei höherer Anzahl von Programmier-Lösch-Zyklen ist eine Erhöhung der Programmier-Löschzeit zu erwarten.

Beschreibung U 2616 D

Der Schaltkreis U 2616 D ist ein durch den Hersteller elektrisch programmierter Festwertspeicher (PROM) in 24poligem DIL-Plastgehäuse. Anschlußbelegung, Grenzwerte, statische und dynamische Kennwerte (Funktion im Lesebetrieb) sind identisch mit den entsprechenden Angaben des U 2716 C gleicher Adressenzugriffszeit. Die Bestellung der durch den Anwender benötigten Bitmuster erfolgt nach dem Werkstandard des veb mikroelektronik "karl marx" erfurt.

Grenzwerte (Spannungen auf U_{SS} = 0 V bezogen)

Kennwert	Kurzzeichen	min.	max.	Einheit
Eingangsspannung an allen Pins außer U_{PR}	U_G	-0,5	6,5	V
Programmierspannung	U_{PR}	-0,5	26	V
Gesamtverlustleistung	P_{tot}		1	W
Umgebungstemperatur	ϑ_a	0	70	°C
Lagerungstemperatur	ϑ_{stg}	-55	125	°C

Statische Kennwerte (Spannungen auf U_{SS} = 0 V bezogen)

Kennwert	Kurzzeichen	Meßbedingung	min.	typ.	max	Einheit
Betriebsspannung	U_{CC}		4,75	5	5,25	V
Betriebsspannung an U_{PR} im Nicht-Programmierzustand	U_{PRR}	U_{CC}	-0,6	U_{CC}	U_{CC} +0,6	V
Eingangs-Low-Spannung	U_{IL}		-0,3		0,8	V
Eingangs-High-Spannung	U_{IH}		2,0		U_{CC} +1	V
Betriebstemperatur	ϑ_a		0	25	70	°C
Eingangsreststrom	I_I	U_I=5,5 V			0,01	µA
Ausgangsreststrom	I_O	U_O=5,5 V, $\overline{CE}$=U_{IH}			0,01	mA
Ausgangs-Low-Spannung	U_{OL}	I_{OL}=2,1 mA			0,4	V
Ausgangs-High-Spannung	U_{OH}	I_{OH}=0,4 mA	2,4			V
Eingangskapazität A 0 ... A 10; $\overline{CE}$; $\overline{OE}$	C_I				6	pF
Ausgangskapazität	C_O	$\overline{CE}$=U_{IH}			12	pF

Kennwert	Kurzzeichen	Meßbedingung	U 2616 D 45 U 2716 C 45 min.	max.	U 2716 C 35 min.	max.	U 2716 C 39 min.	max.	Einh.
Statische Stromaufnahme	I_{CCOP}	$\overline{CE}=U_{IL}$ $\overline{OE}=U_{IL}$		100		120		100	mA
Statische Stromaufnahme im Ruhebetrieb	I_{CCR}	$\overline{CE}=U_{IH}$ $\overline{CE}=U_{IL}$		25		30		25	mA
Stromaufnahme an U_{PR} im Lesebetrieb	I_{PROP}	U_{PR}=5,25		5		6		5	mA
Statische Stromaufnahme an U_{PR} während des Programmierimpulses	I_{PR2P}			30		40		30	mA

Dynamische Kennwerte (Spannungen auf U_{SS} = 0 V bezogen)

Kennwert	Kurzzeichen	Meßbedingung	U 2616 D 45 U 2716 C 45 min.	max.	U 2716 C 35 min.	max.	U 2716 C 39 min.	max.	Einh
Adressenzugriffszeit	T_{AVDV}	$\overline{CE}=\overline{OE}=U_{IL}$		450		350		390	ns
$\overline{CE}$-Zugriffszeit	T_{CLDV}	$\overline{OE}=U_{IL}$		450		350		330	ns
Verzögerung $\overline{OE}$-Ausgang aktiv	T_{OLDV}	$\overline{OE}=U_{IL}$		120		120		120	ns
Verzögerung $\overline{OE}$-Ausgang hochohmig	T_{OHDZ}			100		100		100	ns
Verzögerung $\overline{CE}$-Ausgang hochohmig	T_{CHDZ}			100		100		100	ns

Programmierbedingungen

Kennwert	Kurzzeichen	min.	typ.	max.	Einheit
Programmierspannung	U_{PR}	23,5		25,5	V
Betriebstemperatur	ϑ_{BP}	20	25	30	°C
Adressenvorhaltezeit	T_{AVCH}	2			µs
$\overline{OE}$-Vorhaltezeit	T_{OHCH}	2			µs
Datenvorhaltezeit	T_{DVCH}	2			µs
Adressenhaltezeit	T_{CLAX}	2			µs
$\overline{OE}$-Haltezeit	T_{CLOL}	2			µs
Datenhaltezeit	T_{CLDX}	2			µs
Verzögerung $\overline{OE}$-Ausgang ($\overline{CE}=U_{IL}$)	T_{OHDZP}	0		120	ns
Verzögerung $\overline{OE}$-Ausgang aktiv ($\overline{CE}=U_{IL}$)	T_{OLDXP}			120	ns
Programmierimpulsdauer	T_{CHCL}	45	50	55	ms
$\overline{CE}$-Anstiegs- und Abfallzeit	T_{CEAN}	10			ns

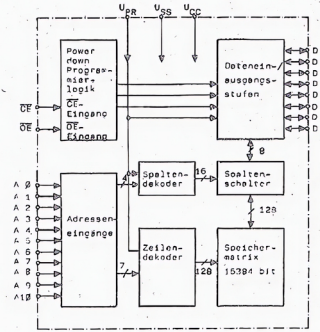


Bild 5: Blockschaltbild U 2716 C / U 2616 D

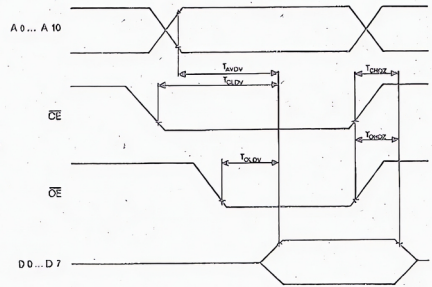


Bild 6: Dynamisches Verhalten

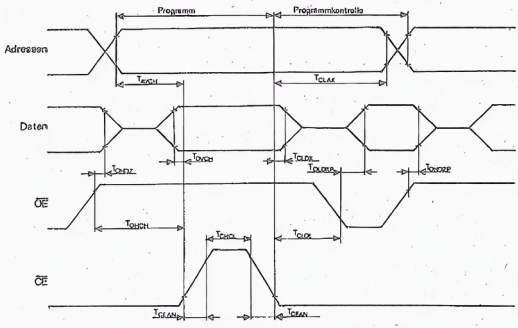


Bild 7: Programmierbedingungen

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültigen Vertragsunterlagen beim Bezug der Bauelemente sind die Typenstandards.
Rechtsverbindlich ist jeweils die Auftragsbestätigung. Änderungen im Zuge der technischen Weiterentwicklung vorbehalten.

H i n w e i s

Die Behandlungsvorschriften für MOS-Bauelemente sind unbedingt einzuhalten, da andernfalls eine Reklamation nicht anerkannt werden kann.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

1/85

U 8246 I

vorläufige technische Daten

Hersteller: VEB Zentrum für Forschung und Technologie Mikroelektronik Dresden

Speicherschaltkreis

- statischer Schreib-Lese-Speicher (sRAM) in CMOS-Technologie
- speziell für den Einsatz als Erweiterungsschaltkreis zum Einchiprechner U 8047 ausgelegt
- Einsatz als selbständiger Schaltkreis prinzipiell möglich
- Organisationsform 256 x 4 Bit
- bidirektionale Datenpins, Tristate-Ausgänge
- Schlafzustand bei 2 V Betriebsspannung möglich
- 24-poliges PCC-Gehäuse

Abmessungen

Bauform 51.2.2.2.24 TGL 26713/04
Chip-Carrier-Gehäuse

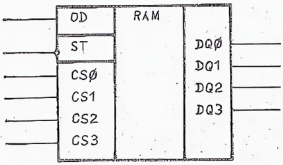


Bild 1: Schaltzeichen

Anschlußbelegung
(Markierung kennzeichnet
Seite mit Pin 1)

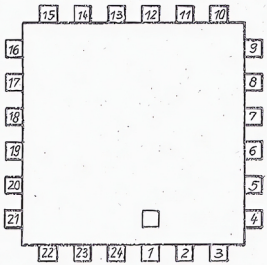


Bild 2: PCC-24-Gehäuse

1	-	beliebig belegbar
2	-	beliebig belegbar
3	CS3	
4	CS2	Schaltkreisauswahl
5	CS1	
6	CSO	
7	ST	Steuersignal
8	-	beliebig belegbar
9	-	beliebig belegbar
10	-	beliebig belegbar
11	OD	Steuersignal
12	U_{DD}	Betriebsspannung
13	DQO	Ein-/Ausgang
14	DQ1	Ein-/Ausgang
15	-	beliebig belegbar
16	-	beliebig belegbar
17	-	beliebig belegbar
18	DQ2	Ein-/Ausgang
19	DQ3	Ein-/Ausgang
20	-	beliebig belegbar
21	-	beliebig belegbar
22	U_{SS}	Bezugspotential
23	-	beliebig belegbar
24	-	beliebig belegbar

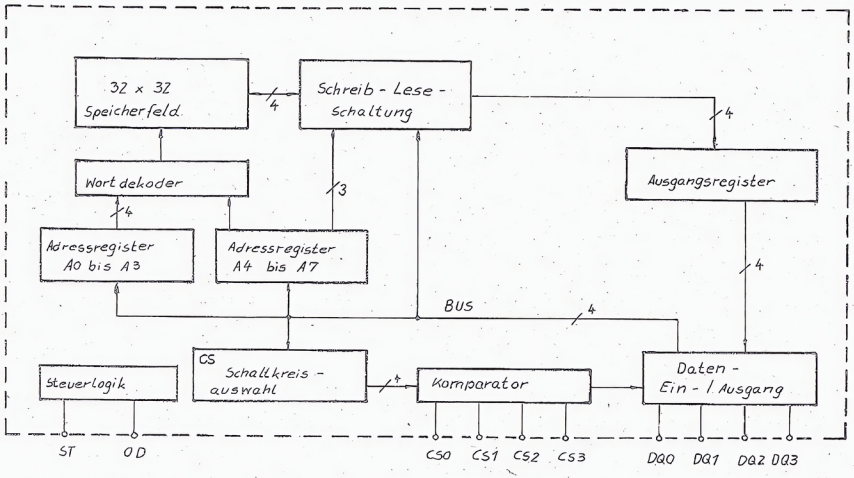


Bild 3: Blockschaltbild

Technische Daten

Alle Spannungen sind auf U_{SS} bezogen. Die Behandlungsvorschriften für MOS-Bauelemente sind einzuhalten.

Grenzwerte

Kenngröße	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{DD}	- 0,3	7,0	V
Eingangsspannung	U_I	- 0,3	U_{DD} + 0,3	V
Externe Spannung an den Ausgängen	U_O	- 0,3	U_{DD} + 0,3	V
Spannungsanstiegsgeschwindigkeit für Betriebsspannung sowie Ein- u. Ausgangssignale	S	-	0,5	V/s
Spannungsbetrag zw. zwei belieb. Anschlüssen (außer U_{DD} u. U_{SS})	U	-	7,6	V
Verlustleistung	P_V	-	100	mW
Lagertemperatur	ϑ_s	- 55	125	°C

Betriebsbedingungen

Kenngröße	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{DD}	3,0	5,25	V
Schlafspannung	U_{DDS}	2,0		V
Umgebungstemperatur	ϑ_a	5	55	°C
Eingangs-Low-Spannung	U_{IL}	-0,3	0,4	V
Eingangs-High-Spannung	U_{IH}	U_{DD} -0,4	U_{DD} +0,3	V
Lastkapazität DQ0 - DQ3	C_L		200	pF
Impulsan.. iegs-/-abfall-zeit - an OD	t_{TOD}	20	1000	ns
- an $\overline{ST}$	$t_{T\overline{S}T}$	20	1000	ns
Impulsbreite an OD	t_{OD}	2000		ns
" an $\overline{ST}$	$t_{\overline{S}T}$	500		ns
Datenvoreinstellzeit	t_{setup}	500		ns
Datenhaltezeit	t_{hold}	500		ns
HL-Flanke an OD +) nach $\overline{ST}$-Impuls	$t_{\overline{S}TOD}$	0		ns
HL-Flanke an $\overline{ST}$ nach OD-Impuls	$t_{OD\overline{S}T}$	700		ns

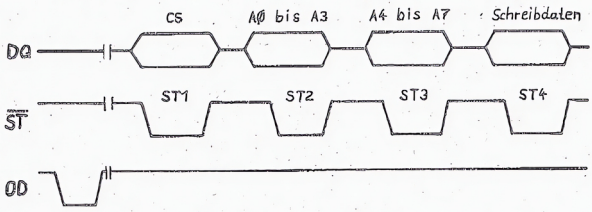
+) nach Ablauf von $t_{hold\ min}$

Hauptkenngrößen

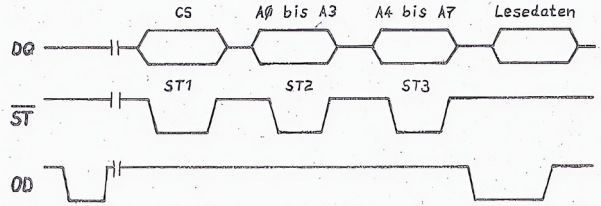
Kenngröße	Kurzzeichen	min.	max.	Einheit	Bedingung
Ruhestromaufnahme	I_{DDO}	-	0,01	mA	$U_{DD} = U_{ST} = 5{,}25$ V $U_{CS} = 0$V
1) Stromaufnahme bei 150 000 Zugriffen/s	I_{DD1}	-	6	mA	$U_{DD} = U_{ST} = 5{,}25$ V $U_{CS} = 0$ V
H-Eingangsleckstrom CS0 bis CS3, $\overline{ST}$, OD DQ0 bis DQ3 (Tristate)	I_{IH}	-	1	µA	$U_{DD} = U_I = 5{,}25$ V
L-Eingangsleckstrom CS0 bis CS3, $\overline{ST}$, OD DQ0 bis DQ3 (Tristate)	$-I_{IL}$	-	1	µA	$U_{DD} = 5{,}25$ V $U_I = 0$ V
H-Ausgangsspannung DQ0 bis DQ3	U_{OH}	4,95	-	V	$U_{DD} = 5{,}25$ V
L-Ausgangsspannung DQ0 bis DQ3	U_{OL}	-	0,3	V	$U_{DD} = 5{,}25$ V
Ausgangsaktivierungszeit	t_{DODHL}	0	1000	ns	Meßschaltung 1
Ausgangsentaktivierungszeit	t_{DODLH}	0	200	ns	Meßschaltung 2
2) Ausgangskurzschlußstrom DQ0 bis DQ3 Ausgang Low	I_{SLDQ}	1	50	mA	$U_{DD} = 5{,}25$ V $U_O = 5{,}25$ V
2) Ausgangskurzschlußstrom DQ0 bis DQ3 Ausgang High	$-I_{SHDQ}$	1	50	mA	$U_{DD} = 5{,}25$ V $U_O = 0$ V

1) Ein Zugriff ist entweder ein Schreib- oder ein Lesezyklus

2) Die Verlustleistung vonn 100 mW darf im Mittel nicht überschritten werden.



Schreiben



Lesen

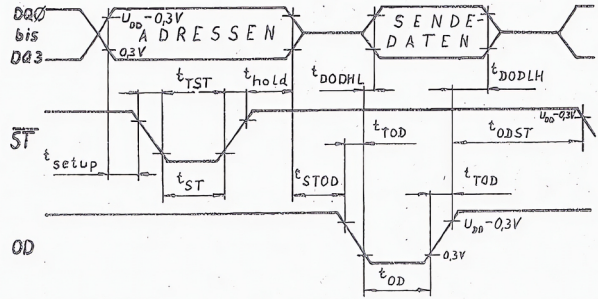


Bild 4: Dynamische Kenngrößen und Betriebsbedingungen

Funktionsbeschreibung

Ohne weitere Bauelemente können 1 bis 15 Schaltkreise U 8246 I direkt an den U 8047 angeschlossen werden.

Die Auswahl des gewünschten RAM-Schaltkreises erfolgt durch ein 4 Bit-Schaltkreisauswahlwort. Der Auswahlcode wird durch die Beschaltung der vier Anschlüsse mit U_{DD}- bzw. U_{SS}-Potential festgelegt.

Innerhalb des Schaltkreises werden über einen 4 Bit-breiten bidirektionalen BUS die Daten sowie die in zwei 4 Bit-breite Blöcke unterteilte 8 Bit-Adresse seriell übertragen. Mit den Steuereingängen $\overline{ST}$ und OD werden die Operationen gesteuert bzw. die Übertragungsrichtung bestimmt.

Die Datenübertragung wird in 4 Zyklen durchgeführt (3 Adressierzyklen, 1 Schreib-Lese-Zyklus). Im ersten Zyklus wird das an den Anschlüssen DQ0 bis DQ3 anliegende Schaltkreisauswahlwort durch den Impuls ST1 an den Anschluß $\overline{ST}$ in den Schaltkreisauswahlregistern (CS) aller angeschlossenen U/V 8246 I abgespeichert. Nach dem im Komparator durchgeführten Vergleich des Schaltkreisauswahlwortes mit dem Auswahlcode werden alle nicht adressierten U/V 8246 von der Datenübertragung ausgeschlossen.

Im zweiten und dritten Zyklus werden nacheinander an den Anschlüssen DQ zwei Adreßblöcke A0 bis A3 bzw. A4 bis A7 bereitgestellt und durch die Impulse ST2 und ST3 in den jeweiligen Adreßregistern gespeichert. Durch den Impuls ST3 wird gleichzeitig die adressierte Speicherzelle gelesen und deren Inhalt in das Ausgangsregister transportiert.

Im vierten Zyklus muß zwischen einem Schreib- und Lesezyklus unterschieden werden:

- Beim Lesezyklus werden durch ein Signal an OD die im Ausgangsregister zwischengespeicherten Werte an DQ ausgegeben.
- Beim Schreibzyklus werden durch einen Impuls ST4 an dem Anschluß $\overline{ST}$ die an DQ anliegenden Daten in den adressierten Speicherbereich geschrieben. Die durch den Impuls ST3 aus dem adressierten Speicherbereich ins Ausgangsregister transportierten Daten werden in diesem Fall nicht ausgegeben, sondern bei einem folgenden Zyklus überschrieben.

Nach Einschalten der Betriebsspannung muß zunächst OD auf L-Potential liegen, um den Schaltkreis in einen definierten Anfangszustand zu bringen. Bei der Kopplung der Betriebsspannung des U 8246 I mit der

Betriebsspannung des U 8047 ist dies automatisch gewährleistet.

Durch den Schaltkreiscode 1111 besteht zusätzlich die Möglichkeit, mit einem Schreibzyklus den gesamten Speicherinhalt aller angeschlossenen U 8246 I zu löschen.

Ausgangspegel, Ausgangsaktivierungszeit, Funktionsprüfung

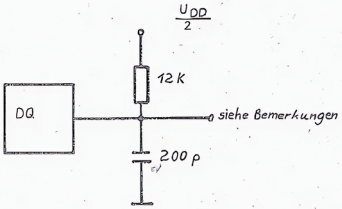


Bild 5: Meßschaltung 1

Bemerkungen:

- Messung der Ausgangspegel erfolgt an jedem Datenausgang einzeln.
- Bei der Messung der Ausgangsaktivierungszeit wird die Zeit von der H/L-Flanke von OD bis zu folgender Veränderung des Ausgangspegels an DQ0 bis DQ3 gemessen:

  High-Pegel: Ausgangspegel erreicht den Wert

  $$U_{DD} - 0{,}3\ V$$

  Low-Pegel: Ausgangspegel erreicht den Wert

  $$0{,}3\ V$$

- Die Funktionsprüfung wird mit U_{DD} = 3 V und U_{DD} = 5,25 V Betriebsspannung durchgeführt.

Ausgangsentaktivierungszeit

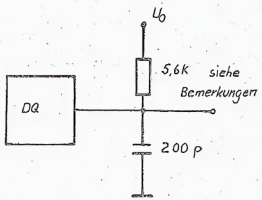


Bild 6: Meßschaltung 2

Bemerkungen:

Bei vorherigem High-Pegel wird $U_O = U_{SS}$ und bei vorherigem Low-Pegel wird $U_O = U_{DD}$ angelegt.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:
veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik
DDR- 1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981, 011 3055

mikroelektronik

Information

RFT

UB 8001 C / UB 8002 D

1/85

Hersteller: VEB Mikroelektronik „Karl Marx" Erfurt

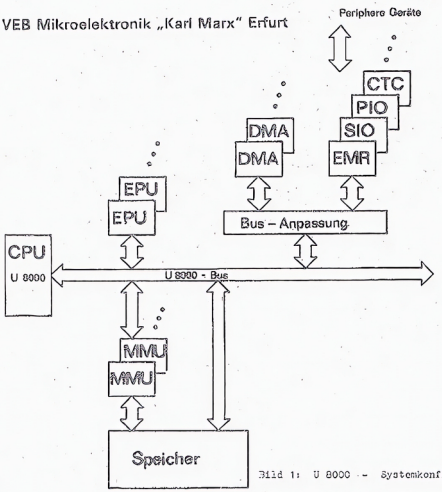


Bild 1: U 8000 - Systemkonfiguration

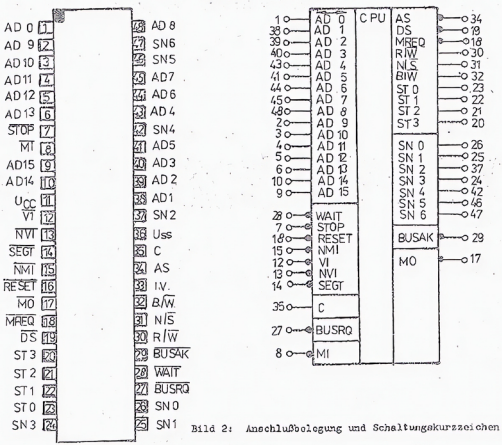


Bild 2: Anschlußbelegung und Schaltungskurzzeichen UB 8001 C

Kurzcharakteristik UB 8001 C, UB 8002 D

Der UB 8001 C/UB 8002 D ist ein leistungsfähiger 16bit-Mikroprozessor, der sowohl in Minimalsystemen der Steuer- und Regeltechnik als auch in Multiprozessorsystemen und Parallelrechnern eingesetzt werden kann. Der 16bit-Mikroprozessor zeichnet sich durch folgende Eigenschaften aus:

- 4 MHz Taktfrequenz
- 8 Adressierungsarten
- 8 Datentypen verarbeitbar
- 110 verschiedene Grundbefehle können zu 414 Einzelbefehlen variiert werden
- 2 Betriebsarten: Systemmodus und Normalmodus
- 3 Interruptarten und 5 Traps
- internes Refreshsteuerungssystem für dynamische Speicher
- Einsatz von Peripherieschaltkreisen des UA 880-Systems (4 MHz)zur Hardwareunterstützung möglich
- Adreßbus: UB 8001 C: 23 bit (16 Adreß- und 7 Segmentleitungen)
  UB 8002 D: 16 bit
- adressierbarer Speicherbereich UB 8001 C: 8 Mbyte
  UB 8002 D: 64 Kbyte

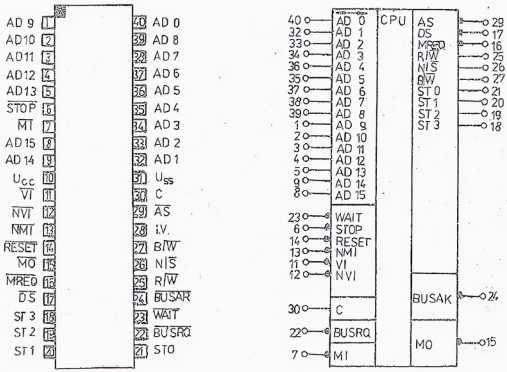


Bild 3: Anschlußbelegung und Schaltungskurzzeichen UB 8002 D

Die Anschlüsse haben folgende Funktion:

AD 0 ... AD 15	Adreß-/Datenbus
WAIT, STOP	Prozessorsteuerung
RESET	Rücksetzen
NMI, VI, NVI	Interrupts
SEGT	Segmenttrap (nur UB 8001 C)
C	Systemtakt
BUSRQ, BUSAK	Bussteuerung
SN 0 ... SN 6	Segmentnummer (nur UB 8001 C)
MI, MO	Multi-Mikro-Steuerung
AS, DS, MREQ	Buszeitsteuerung
R/W, N/S, B/W, ST 0, ST 1, ST 2, ST 3	Status

Beschreibung

Der UB 8001 C/UB 8002 D ist ein 16bit-Mikroprozessor, der eine große Vielfalt von Applikationen besitzt.
Die Leistungsfähigkeit seines Befehlssatzes wird vor allem durch einen hohen Grad an Regelmäßigkeit, durch zahlreiche Register, Datentypen und Adressierungsarten erreicht. Ein Befehlsholezyklus von drei Taktperioden ist Grundlage eines hohen Datendurchsatzes des Mikroprozessors mit relativ niedriger Taktfrequenz, wodurch Speicher mit einer vergleichsweise langen Zugriffszeit verwendet werden können.
Der UB 8001 C besitzt einen vielseitigen Registersatz, der aus 16 gleichartigen 16bit-Allzweckregistern (Akku, Index, Stack) besteht und auch Byte- und 32bit-Wortoperationen ermöglicht. Es können 8 Datentypen vom einzelnen bit bis zum Vierfachwort (64 bit) verarbeitet werden. Es existieren 8 Adressierungsarten. Der Mikroprozessor kann im System- und Normalmodus arbeiten. Dies kann im Zusammenhang mit Speicherschutz die Systemzuverlässigkeit entscheidend erhöhen.
Der Systemmodus gestattet die Ausführung privilegierter Befehle.
Den Anschlüssen der Prozessoren ist das 8000-BUS-Protokoll realisiert. Es ermöglicht ein leichtes Interface zu Speicher, Peripherie und zu anderen Prozessoren. Alle Anschlüsse sind TTL-kompatibel. Eine fein nivelierte Interruptstruktur mit 3 Interruptebenen und 5 Traps ist vorhanden.
Im Steuerregister REFRESH kann das Auffrischen dynamischer Speicher programmiert werden.
Der Schaltkreis wird in zwei Versionen angeboten:

UB 8001 C als 48poliger segmentierter Mikroprozessor

UB 8002 D als 40poliger nichtsegmentierter Mikroprozessor.

Der Hauptunterschied besteht im Adreßbereich und der Art der Erzeugung der Adressen:

Der UB 8001 C kann direkt 8 Mbyte Speicher adressieren, dies geschieht segmentiert.

Der UB 8002 D adressiert direkt 64 Kbyte, dies geschieht linear.

Spezielle Befehle und die Systemarchitektur erlauben es, optimal mit Compilern zu arbeiten, sowie leistungsfähige Betriebssysteme zu erstellen. Damit wird ein breites Anwendungsfeld gesichert. Eine ausführliche Funktionsbeschreibung und eine vollständige Befehlsliste liegen in zwei umfangreichen Handbüchern "CPU-U 8001/U 8002 - Technische Beschreibung und "CPU-U 8001/U 8002 - Befehlsbeschreibung" vor.

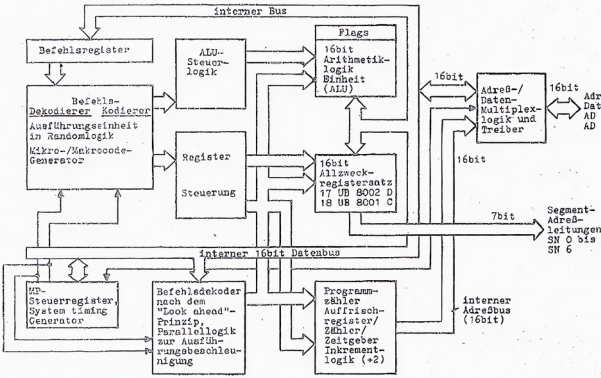


Bild 4: Funktionsdarstellung UB 8001 C/UB 8002 D

Grenzwerte (Bezugspotential U_{SS} = 0 V)

Kennwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{CC}	-0,5	7	V
Eingangsspannung	U_I	-0,5	7	V
Lagerungstemperaturbereich	ϑ_{stg}	-55	125	°C

Statische Kennwerte

(ϑ_a = 0 ... 70 °C; U_{CC} = 5 V ± 0,25 V; U_{SS} = 0 V)

Kennwert	Kurzzeichen	min.	max.	Einheit
Eingangsspannung Low	U_{IL}	-0,5	0,8	V
Eingangsspannung High	U_{IH}	2	U_{CC} + 0,3	V
Eingangsspannung High am RESET-Anschluß	U_{IHRES}	2,4	U_{CC} + 0,3	V
Takteingangsspannung	U_{ICL}	-0,5	0,45	V
	U_{ICH}	U_{CC} - 0,4	U_{CC} + 0,3	V
Ausgangsspannung Low	U_{OL} (I_O = 2 mA)		0,4	V
Ausgangsspannung High	U_{OH} (I_O = -0,25 mA)	2,4		V
Stromaufnahme	I_{CC}		300	mA
Eingangsreststrom	I_{IL}		20	µA
Ausgangsreststrom	I_{OL}		20	µA

Dynamische Kennwerte
(ϑ_e = 0 ... 70 °C; U_{CC} = 5 V ± 0,25 V; U_{SS} = 0 V)

Kennwert	Kurzzeichen	min.	max.	Einheit
Taktperiode	t_{CC}	250	2000	ns
High-Breite des Taktes	t_{WCH}	105	2000	ns
Low-Breite des Taktes	t_{WCL}	105	2000	ns
Anstiegs- und Abfallzeit des Taktes	t_{rC}; t_{fC}		20	ns

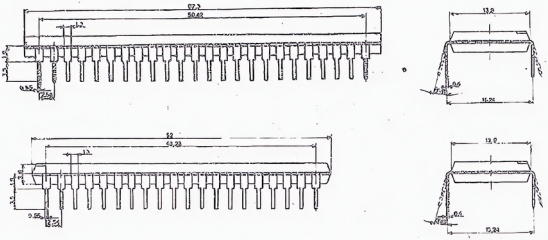


Bild 5: Gehäuseabmessungen

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültigen Vertragsunterlagen beim Bezug der Bauelemente sind die Typenstandards.
Rechtsverbindlich ist jeweils die Auftragsbestätigung. Änderungen im Zuge der technischen Weiterentwicklung vorbehalten.

Hinweis:

Die Behandlungsvorschriften für MOS-Bauelemente in Dual-in-line-Bauform sind unbedingt einzuhalten, da andernfalls eine Reklamation nicht anerkannt werden kann.

01/85

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

Herausgeber

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

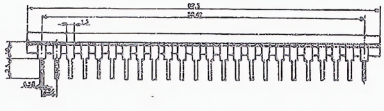
UB 8010 C

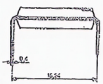
1/85

vorläufige technische Daten

Hersteller: VEB Mikroelektronik „Karl Marx" Erfurt

Der UB 8010 C ist ein programmierbarer Peripherieschaltkreis zum 16bit-Mikroprozessor UB 8001 C. Der Baustein ermöglicht sowohl eine dynamische Speichersegmentverschiebung als auch die Festlegung bestimmter Speicherschutzfunktionen. Er verwaltet den 8MByte-Adreßraum der CPU U 8001 C.





Hinweis:

Die Behandlungsvorschriften für MOS-Bauelemente sind unbedingt einzuhalten, da andernfalls eine Reklamation nicht anerkannt werden kann.

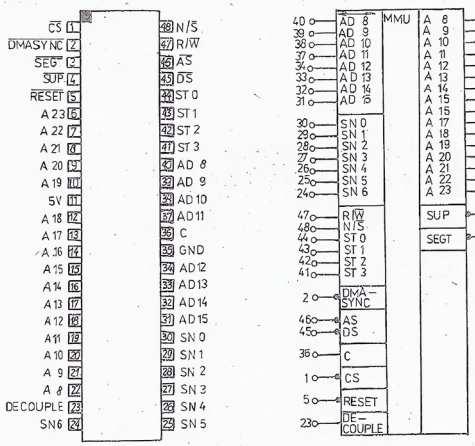


Bild 1 : Anschlußbelegung und Schaltungskurzzeichen

Bezeichnung der Anschlüsse

A 8 ... A 23	Adreßbus (Ausgang, aktiv "H", tristate) 16 obere bits der physischen Speicheradresse
AD 8 ... AD 15	Adreß-/Datenbus (Ein-/Ausgang, aktiv "H", tristate) Multiplex-Daten- und Adreßleitungen, die sowohl die Kommandos als auch die zur Adreßumsetzung benötigten logischen Adressen führen
$\overline{AS}$	Adreß-Strobe (Eingang, aktiv "L") Die steigende Flanke von $\overline{AS}$ zeigt an, daß AD 8 ... AD 15, ST 0 bis ST 3, R/$\overline{W}$ und N/$\overline{S}$ ein gültiges Signal führen.
C	Systemtakt (Eingang) Zeitbasis für CPU und MMU
$\overline{CS}$	Bausteinauswahladresse (Eingang, aktiv "L") initialisiert die MMU für eine Steuerkommandoeingabe
DMASYNC	DMA/Segmentnummernsynchronisier-Strobe (Eingang, aktiv "H") Ist DMASYNC = L, befinden sich SN 0 ... SN 6 im hochohmigen Zustand, H zeigt gültige Signale für die Leitungen SN 0 ... SN 6 an. Während eines CPU-Zyklus muß DMASYNC immer H sein. Benötigt der DMA-Baustein die MMU nicht zur Adreßumsetzung, kann das $\overline{BUSAK}$-Signal der CPU als Eingangssignal für DMASYNC genutzt werden.
$\overline{DS}$	Daten-Strobe (Eingang, aktiv "L") Diese Leitung gibt den Datentransfer zwischen CPU und MMU frei.
N/$\overline{S}$	Normal-/Systembetrieb (Eingang, L = Systembetrieb) initialisiert Normal- bzw. Systembetrieb; Das Signal kann ebenfalls benutzt werden, um verschiedene MMU's im Rahmen bestimmter Instruktionsphasen zu aktivieren.
DECOUPLE	Nicht anschließen !

$\overline{\text{RESET}}$	RESET (aktiv "L")
$R/\overline{W}$	Lesen/Schreiben (Eingang, L = Schreiben) initialisiert durch CPU oder DMA Lese- bzw. Schreibzyklus
$\overline{\text{SEGT}}$	"Segment-Trap" -Anforderung (Ausgang, aktiv "L", open drain). Die MMU sendet über diese Leitung ein Trap, falls ein fehlerhafter Zugriff oder ein "Write Warning" festgestellt wird.
SN 0 ... SN 6	Segmentnummer (Eingang, aktiv "H") Die Leitungen SN 0 ... SN 5 werden zur Adressierung von 64 Segmenten benötigt. Mit SN 6 wird die MMU selektiv freigegeben.
$\overline{\text{SUP}}$	Suppress (Ausgang, aktiv "L", open drain) Dieses Signal wird während eines laufenden Zyklus aktiv, wenn eine Zugriffsverletzung mit Ausnahme der Schreibwarnung auftritt.

Beschreibung

Der UB 8010 C ist ein MMU-Schaltkreis, der in n-Kanal-Silicon-Gate-Technologie in einem 40poligen DIL-Keramikgehäuse im 2,54 mm - Raster und 15,24 mm Reihenabstand gefertigt wird. Zum Betrieb benötigt er nur eine 5 V - Versorgungsspannung und einen Einphasen-Arbeitstakt von 4 MHz.

Der UB 8010 C/MMU verwaltet den 8MByte großen Adreßraum der CPU UB 8001 C. Der Baustein ermöglicht sowohl eine dynamische Speichersegmentverschiebung als auch die Festlegung bestimmter Speicherschutzfunktionen.

Die dynamische Speichersegmentverschiebung erlaubt dem Anwender eine von der physischen Adressierung unabhängige Softwareadressierung und ermöglicht eine flexible und effektive Unterstützung von Multiprogrammsystemen. Der UB 8010 C benutzt Vektortabellen zur Umsetzung der 23 bit breiten logischen Adresse am Adreßausgang der CPU U 8001 C in die 24 bit-Adresse des Speichers. I/O-Adressen und Daten werden nicht beeinflußt. Es werden nur Speicheradressen übersetzt.

Die Größe der 64 Speichersegmente läßt sich im Bereich von 256 byte bis 64 Kbyte in 256 byte-Schritten variieren. Zur Behandlung der

128 Segmente des UB 8001 C sind 2 UB 8010 C erforderlich. Die Anwendung mehrerer MMU ermöglicht die Auswertung unterschiedlicher Vektortabellen für System- und Normalmode oder den Aufbau komplexer MMU-Systeme.

Die Speicherschutzfunktionen sichern die einzelnen Speichersegmente durch Überwachung der Zugriffe vor nichtautomatisiertem oder unbeabsichtigem Zugriff. Die Segmentmerkmale werden durch Programmierung einer Reihe von Parametern festgelegt. Bei einem Speicherzugriff werden diese Parameter anhand der Statusinformationen der CPU UB 8001 C überprüft. Treten dabei Differenzen auf, wird ein Trap ausgeführt. Die Ursache kann durch die CPU anhand der MMU-Statusregister ausgewertet werden.

Die durch die entsprechenden Parameter festgelegten Schutzfunktionen beziehen sich auf Lese-, System-, Ausführung-, DMA- und CPU-Zugriff. Weitere Steuerparameter legen einen "Write Warning" - Bereich fest, der z. B. für Stack-Operationen genutzt werden kann. Die Status-Flags für jedes Segment beziehen sich auf Lese- und Schreibzugriff. Der UB 8010 C wird mit Hilfe von 22 möglichen Instruktionen durch die CPU gesteuert. Mit diesen Befehlen kann die Systemsoftware den Programmsegmenten beliebige Speicherplätze zuweisen und die Benutzung autorisieren.

Durch den Einsatz des MMU-Schaltkreises UB 8010 C wird die Leistungsfähigkeit von 16 bit-Systemen mit der CPU UB 8001 C wesentlich gesteigert, es wird z. B. der Einsatz als echtes Multitask-System ermöglicht, wie auch die Anwendung moderner Betriebssysteme und die Anwendung höherer Programmiersprachen (z. B. PASCAL, FORTRAN) durch eine Vielzahl von Benutzern unterstützt.
Eine Ausführliche Funktionsbeschreibung wird in einem umfangreichen Handbuch "MMU - UB 8010 C - Technische Beschreibung" vom Hersteller auf Bestellung geliefert.

Grenzwerte

Kennwert	Kurzz.	min.	max.	Einheit
Betriebsspannung	U_{CC}	-0,3	7	V
Eingangsspannung	U_I	-0,3	7	V
Betriebstemperaturbereich	a	0	70	°C
Lagertemperaturbereich	stg	-55	125	°C

Statische Kennwerte

(U_{GND} = 0 V; U_{CC} = 5 V ± 0,25 V; ϑ_a = 0 ... 70 °C)

Kennwert	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Betriebstemperatur	ϑ_a		0	70	°C
Betriebsspannung	U_{CC}		4,75	5,25	V
Eingangsspannung Low	U_{IL}		-0,3	0,8	V
Eingangsspannung High	U_{IH}		2,0	U_{CC} + 0,3	V
Takteingangsspannung Low	U_{ILC}		-0,3	0,45	V
Takteingangsspannung High	U_{IHC}		U_{CC} -0,4	U_{CC} + 0,3	V
Taktpegel High	U_{OH}	Taktgenerator	U_{CC} -0,4	U_{CC} + 0,3	V
Taktpegel Low	U_{CL}		-0,3	0,45	V
Eingangspegel High	U_{IH}		2	U_{CC} + 0,3	V
Eingangspegel Low	U_{IL}		0,3	0,8	V
Ausgangspegel High	U_{OH}	I_{OH} = 250 µA	2,4		V
Ausgangspegel Low	U_{OL}	I_{OL} = - 2 mA		0,4	V
Eingangsreststrom	I_{IL}	0,4 V ≦ U_{in} ≦ 2,4 V		± 10	µA
Ausgangsreststrom	I_{OL}	0,4 V ≦ U_{in} ≦ 2,4 V		± 10	µA
Gesamtstromaufnahme	I_{CC}			300	mA

Dynamische Kennwerte

(U_{CC} = 5 V ± 0,25 V; C_L = 100 pF; ϑ_a = 0 ... 70 °C)

Kennwert	Kurzzeichen	min.	max.	Einheit
Eingangsfrequenz	f_{oC}	0,5	4	MHz
Eingangstaktanstiegs- und -abfallzeiten	t_r; t_f		20	ns
Taktbreite	t_{HC}	105	2000	ns
Taktzykluszeit	T_{oC}		250	ns
Taktimpulsbreite Low	T_{wCL}		105	ns
Taktimpulsbreite High	T_{wCH}		105	ns
Taktflanke HL	T_{fC}		20	ns
Taktflanke LH	T_{rC}		20	ns

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültigen Vertragsunterlagen beim Bezug der Bauelemente sind die Typenstandards. Rechtsverbindlich ist jeweils die Auftragsbestätigung. 01/85

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

Herausgeber:

veb applikationszentrum elektronik berlin
im vob bauelemente mikroelektronik

DDR-1055 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981, 011 3055

mikroelektronik

Information

RFT

Einchip - Mikrorechner

1/85

Hersteller: VEB Mikroelektronik „Karl Marx" Erfurt

Bei den Einchip-Mikrorechnern (EMR) des VEB Mikroelektronik "Karl Marx" Erfurt - stammbereich - handelt es sich um leistungsfähige Bauelemente mit internem bzw. externem ROM, die für den vorrangigen Einsatz in Steuerungen und Regelungen der Konsumgüter) vorgesehen sind.

UB 8810 D	Einchip-Mikrorechner mit internem maskenprogrammiertem (2 k x 8)bit ROM und internem (128 x 8)bit RAM, 40poliges DIP-Gehäuse	UB 8811 D	Einchip-Mikrorechner mit internem maskenprogrammiertem (2 k x 8)bit ROM und internem (128 x 8)bit RAM, 40poliges DIP-Gehäuse, power down option
UB 8820 M	Einchip-Mikrorechner-Entwicklungsversion mit externem (2 k x 8)bit ROM und internem (128 x 8)bit RAM, 64poliges QIP-Gehäuse	UB 8821 M	Einchip-Mikrorechner-Entwicklungsversion mit externem (2 k x 8)bit ROM und internem (128 x 8)bit RAM, 64poliges QIP-Gehäuse, power down option
UB 8830 D	Einchip-Mikrorechner mit BOOTSTRAP-LADER und BASIC-INTERPRETER, 40poliges DIP-Gehäuse	UB 8831 D	Einchip-Mikrorechner mit BOOTSTRAP-LADER und BASIC-INTERPRETER, 40poliges DIP-Gehäuse, power down option
UB 8840 M	Einchip-Mikrorechner-Entwicklungsversion mit externem (4 k x 8)bit ROM und internem (128 x 8)bit RAM, 64poliges QIP-Gehäuse	UB 8841 M	Einchip-Mikrorechner-Entwicklungsversion mit externem (4 k x 8)bit ROM und internem (128 x 8)bit RAM, 64poliges QIP-Gehäuse, power down option
UB 8860 D	Einchip-Mikrorechner mit internem (128 x 8)bit RAM, ROM-lose Version, 40poliges DIP-Gehäuse	UB 8861 D	Einchip-Mikrorechner mit internem (128 x 8)bit RAM, ROM-lose Version, 40poliges DIP-Gehäuse, power down option

UB 8810 D, UB 8811 D

Die Schaltkreise UB 8810 D und UB 8811 D sind maskenprogrammierte Einchip-Mikrorechner mit folgenden Eigenschaften:

- 8bit Verarbeitungsbreite
- 47 Befehlstypen
- ROM-Kapazität: 2 kByte
- RAM-Kapazität: 128 Byte (144 Register, davon 124 Mehrzweckregister, 4 Ein-Ausgaberegister, 16 Status- und Steuerregister)
- 32 Ein-/Ausgabeleitungen
- durch internen Zeitgeber getakteter UART (vollduplex)
- zwei programmierbare 8bit-Zähler/Zeitgeber mit je einem programmierbaren 6bit-Vorteiler
- On-chip Oszillator (Anschlußvariante UB 8810 D), externer Anschluß von Quarz möglich
- 6 priorisierte und vektorisierte Interruptquellen
- Möglichkeit der Adressierung von externen Speichern bis zu 124 kByte
- Möglichkeit zum "power down"-betrieb (Anschlußvariante UB 8811 D)
- TTL-Kompatibilität an allen Anschlüssen
- mittlere Befehlsausführungszeit: ca. 2,2 /us
- 40poliges DIP-Gehäuse

Die Bitmusterbestellung erfolgt nach dem MME-Standard TS 457.21.

UB 8830 D, UB 8831 D

Die Schaltkreise UB 8830 D und UB 8831 D sind maskenprogrammierte Einchip-Mikrorechner mit einem Bitmuster zum Betrieb mit externem Speicher. Sie haben folgende Eigenschaften:

- 8bit Verarbeitungsbreite
- 47 Befehlstypen
- ROM-Kapazität: 2 kByte
- RAM-Kapazität: 128 Byte (144 Register, davon 124 Mehrzweckregister, 4 Ein-Ausgaberegister, 16 Status- und Steuerregister)
- 32 Ein-Ausgabeleitungen
- durch internen Zeitgeber getakteter UART (vollduplex)
- zwei programmierbare 8bit-Zähler/Zeitgeber mit je einem programmierbaren 6bit-Vorteiler
- On-chip Oszillator (Anschlußvariante UB 8830 D), externer Anschluß von Quarz möglich
- 6 priorisierte und vektorisierte Interruptquellen
- Möglichkeit der Adressierung von externen Speichern bis 124 kByte
- Möglichkeit zum "power down"-Betrieb (Anschlußvariante UB 8831 D)
- TTL-Kompatibilität an allen Anschlüssen
- mittlere Befehlsausführungszeit: ca. 2,2 /us
- Initialisierung von Port 0/1 für externen Speicher
- Sprung auf Adresse 0812H bzw. Adresse 8000H
- zwei Taktmöglichkeiten für externe Beschaltung
- BASIC-Interpreter mit 17 Anweisungen als internes Programm verfügbar
- 40poliges DIP-Gehäuse

UB 8860 D, UB 8861 D

Die Schaltkreise UB 8860 D und UB 8861 D sind Einchip-Mikrorechner mit folgenden Eigenschaften:

- interner ROM ist nicht nutzbar, durch Pegel von +7,35 ... +8 V an RESET Sprung auf externen Programmspeicher, Port 0 und 1 werden für Adressen- und Datenverkehr genutzt
- 8bit Verarbeitungsbreite
- 47 Befehlstypen
- RAM-Kapazität: 128 Byte (144 Register, davon 124 Mehrzweckregister, 4 Ein-/Ausgaberegister, 16 Status- und Steuerregister)

- 32 Ein-/Ausgabeleitungen
- durch internen Zeitgeber getakteter UART (vollduplex)
- zwei programmierbare 8bit-Zähler/Zeitgeber mit je einem programmierbaren 6bit-Vorteiler
- On-chip Oszillator (Anschlußvariante UB 8560 D), externer Anschluß von Quarz möglich
- 6 priorisierte und vektorisierte Interruptquellen
- Möglichkeit der Adressierung von externen Speichern bis zu 124 kByte
- Möglichkeit zum "power down"-Betrieb (Anschlußvariante UB 8861 D)
- TTL-Kompatibilität an allen Anschlüssen
- mittlere Befehlsausführungszeit: ca. 2,2 µs
- 40poliges DIP-Gehäuse

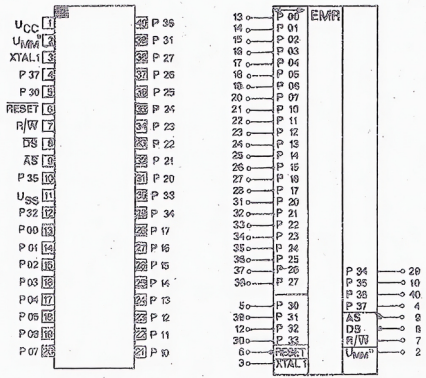


Bild 1: Anschlußbelegung und Schaltungskurzzeichen UB 881 D, UB 883 D, UB 886 D

Bezeichnung der Anschlüsse:

U_{CC}	Betriebsspannung		
U_{MM}	Versorgungsspannung für Speicher	P 00 ... P 07 P 10 ... P 17 P 20 ... P 27	Ein-Ausgänge
XTAL 1	Zeitbasis-Ein-/Ausgang		
RESET	Rücksetzeingang	P 30 ... P 33	Eingänge
R/W	Read/Write	P 34 ... P 37	Ausgänge
DS	Daten-Strobe		
AS	Adreß-Strobe		
U_{SS}	Bezugspotential		

1) entspricht Anschlußvariante UB 8811 D, UB 8831 D, UB 8861 D. Die Schaltkreise haben die Möglichkeit zum "power down"-Betrieb, ein externer Taktgenerator ist an XTAL 1 anzuschließen. Bei der Anschlußvariante UB 8810 D, UB 8830 D, UB 8860 D wird Anschluß 2 zu XTAL. Verwendet wird dazu der On-chip Oszillator bei Anschluß von Quarz an XTAL und XTAL 1.

UB 8820 M, UB 8821 M

Die Schaltkreise UB 8820 M und UB 8821 M sind Einchip-Mikrorechner-Entwicklungsversionen mit folgenden Eigenschaften:

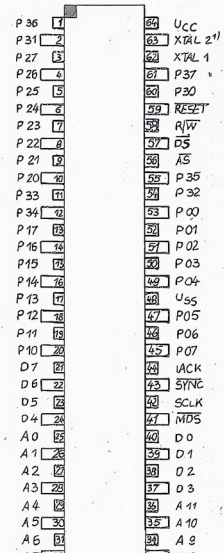
- 8bit Verarbeitungsbreite
- 47 Befehlstypen
- Speicherkapazität: 2 kByte (extern) direkt adressierbar (Äquivalent für internen ROM des UB 881 D)
- RAM-Kapazität: 128 Byte (144 Register, davon 124 Mehrzweckregister, 4 Ein-Ausgaberegister, 16 Status- und Steuerregister)
- 32 Ein-/Ausgabeleitungen
- durch internen Zeitgeber getakteter UART (vollduplex)
- zwei programmierbare 8bit-Zähler/Zeitgeber mit je einem programmierbaren 6bit-Vorteiler
- On-chip Oszillator (Anschlußvariante UB 8820 M), externer Anschluß von Quarz möglich
- 6 priorisierte und vektorisierte Interruptquellen
- Möglichkeit der Adressierung von externen Speichern bis 124 kByte
- Möglichkeit zum "power down"-Betrieb (Anschlußvariante UB 8821 M)
- TTL-Kompatibilität an allen Anschlüssen
- mittlere Befehlsausführungszeit: ca. 2,2 µs
- 64poliges QIP-Gehäuse

UB 8840 M, UB 8841 M

Die Schaltkreise UB 8840 M und UB 8841 M sind Einchip-Mikrorechner-Entwicklungsversionen mit folgenden Eigenschaften:

- 8bit Verarbeitungsbreite
- 47 Befehlstypen
- Speicherkapazität: 4 kByte (extern) direkt adressierbar
- RAM-Kapazität: 128 Byte (144 Register, davon 124 Mehrzweckregister, 4 Ein-/Ausgaberegister, 16 Status- und Steuerregister)
- 32 Ein-/Ausgabeleitungen
- durch internen Zeitgeber getakteter UART (vollduplex)
- zwei programmierbare 8bit Zähler/Zeitgeber mit je einem programmierbaren 6bit Vorteiler
- On-chip Oszillator (Anschlußvariante UB 8840 M), externer Anschluß von Quarz möglich
- 6 priorisierte und vektorisierte Interruptquellen
- Möglichkeit der Adressierung von externen Speichern bis 120 kByte
- Möglichkeit zum "power down"-Betrieb (Anschlußvariante UB 8841 M)
- TTL-Kompatibilität an allen Anschlüssen
- mittlere Befehlsausführungszeit: ca. 2,2 µs
- 64poliges QIP-Gehäuse

Anmerkung: Die gültigen Vertragsunterlagen beim Bezug der Bauelemente sind die Typenstandards. Rechtsverbindlich ist jeweils die Auftragsbestätigung.



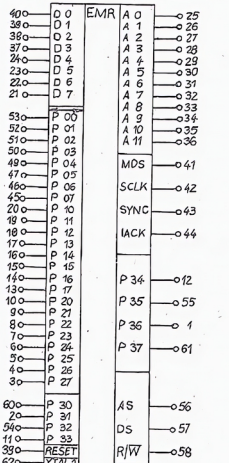


Bild 2: Anschlubelegung und Schaltungskurzzeichen UB 882 M und UB 884 M

Bezeichnung der Anschlüsse:

U_{CC}	Betriebsspannung
U_{MM}	Versorgungsspannung für Speicher
XTAL 1	Zeitbezis-Ein-/Ausgang
$\overline{RESET}$	Rücksetzeingang
R/$\overline{W}$	Read/Write
$\overline{DS}$	Daten-Strobe
$\overline{AS}$	Adreß-Strobe
U_{SS}	Bezugspotential
IACK	Interrupt-Anerkennung
$\overline{SYNC}$	Befehlssynchronisation
SCLK	Systemtakt-Ausgang
$\overline{MDS}$	Daten-Strobe des Programmspeichers

P 00 ... P 07 P 10 ... P 17 P 20 ... P 27	Ein-/Ausgänge
P 30 ... P 33	Eingänge
P 34 ... P 37	Ausgänge
D 0 ... D 7	Datenbus, Eingänge
A 0 ... A 11	Adreßbus, Ausgänge

1) entspricht Anschlußvariante UB 8820M, UB 8840 M. Dabei wird der On-chip Oszillator bei Anschluß von Quarz an XTAL 1 und XTAL 2 verwendet. Bei der Anschlußvariante UB 8821 M, UB 8841 M ist der Anschluß 63 U_{MM}. Die Schaltkreise haben die Möglichkeit zum "power down"-Betrieb, ein externer Taktgenerator ist an XTAL 1 anzuschließen.

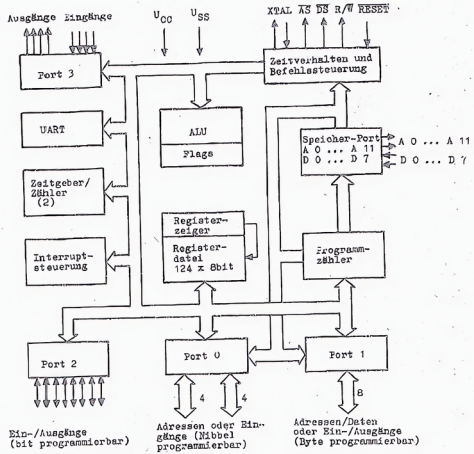


Bild 3: Funktionsdarstellung des Einchip-Mikrorechners

Grenzwerte
(ϑ_a = 0 ... 70 °C)

Kennwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{CC}	-0,5	7	V
Eingangsspannung	U_I	-0,5	7 1)	V
Ausgangsspannung	U_O	-0,5	7	V
Betriebstemperaturbereich	ϑ_a	0	70	°C
Lagerungstemperaturbereich	ϑ_{stg}	-55	125	°C

1) UB 8860 D } U_{Imax} = 8 V
UB 8861 D }

Statische Kennwerte
(ϑ_a = 0 ... 70 °C; U_{SS} = 0 V)

Kennwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung (Arbeitsbetrieb)	U_{CC}	4,75	5,25	V
	U_{MM}	U_{CC} -0,6	U_{CC}	V
Betriebsspannung (Power-down-Betrieb)	U_{CC}	0	4,75	V
	U_{MM}	3	5,25	V
Eingangsspannung	U_{IL}	-0,3	0,8	V
	U_{IH}	2	U_{CC}	V
Takteingangsspannung	U_{ILC}	-0,3	0,8	V
	U_{IHC}	3,8	U_{CC}	V
RESET-Eingangsspannung	U_{ILR}	-0,3	0,8	V
	U_{IHR}	3,8	U_{CC} [1]	V

1) UB 8860 D, UB 8861 D } U_{Imax} = 8 V

Dynamische Kennwerte

Kennwert	Kurzzeichen	min.	max.	Einheit
Eingangsfrequenz	f_C	1	8	MHz
Eingangstakt-Anstiegs- und Abfallzeiten	t_{rc}; t_{fc}		25	ns
Taktbreite	t_{WC}	37		ns

Übersicht Einchip-Mikrorechner in Abhängigkeit von der Taktfrequenz

Typ	Taktfrequenz f = 8 MHz	f = 5 MHz	f = 3,6 MHz
ROM, maskenprogrammiert	UB 8810 D		UD 8810 D
ROM, maskenprogrammiert, power down	UB 8811 D		UD 8811 D
Entwicklungsversion, 2 k ext. ROM adressierbar	UB 8820 M	UC 8820 M	UD 8820 M
Entwicklungsversion, 2 k ext. ROM adressierbar, power down	UB 8821 M	UC 8821 M	UD 8821 M
BASIC-Interpreter	UB 8830 D	UC 8830 D	UD 8830 D
BASIC-Interpreter, power down	UB 8831 D	UC 8831 D	UD 8831 D
Entwicklungsversion, 4 k ext. ROM adressierbar	UB 8840 M	UC 8840 M	UD 8840 M
Entwicklungsversion, 4 k ext. ROM adressierbar, power down	UB 8841 M	UC 8841 M	UD 8841 M
Einchip-Mikrorechner ohne ROM	UB 8860 D	UC 8860 D	UD 8860 D
Einchip-Mikrorechner ohne ROM, power down	UB 8861 D	UC 8861 D	UD 8861 D

U X A 8 X X X

D – DIP-Gehäuse 40polig
M – QIP-Gehäuse 64polig

0 – Bondvariante: On-chip-Oszillator, direkter Quarzanschluß möglich
1 – Bondvariante: power-down-Betrieb möglich

1 – EMR ROM intern
2 – EMR 2 k ext. ROM adressierbar
3 – EMR mit Bootstraplader und BASIC-Interpreter
4 – EMR 4 k ext. ROM adressierbar
6 – EMR ohne ROM

B – max. Taktfrequenz: 8 MHz
C – max. Taktfrequenz: 5 MHz
D – max. Taktfrequenz: 3,6 MHz

Die Einchip-Mikrorechner-Schaltkreise zeichnen sich durch eine effektive Speichernutzung, umfangreiche Interrupt-, Ein-/Ausgabe- und Bitmanipulationsmöglichkeiten sowie eine leichte Systemerweiterbarkeit aus.

Bild 4: Gehäuseabmessungen UB 8810 D, UB 8811 D, UB 8830 D, UB 8831 D, UB 8860 D, UB 8861 D

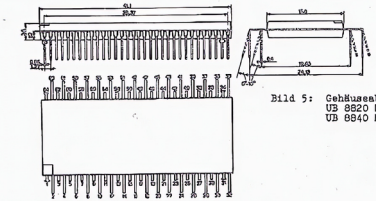


Bild 5: Gehäuseabmessungen
UB 8820 M, UB 8821 M,
UB 8840 M, UB 8841 M

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

Die Behandlungsvorschriften für MOS-Bauelemente müssen unbedingt eingehalten werden, da andernfalls eine Reklamation nicht anerkannt werden kann.

01/85

Herausgeber:
vab applikationszentrum elektronik berlin
im vab kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981, 011 3055

mikroelektronik

Information

RFT

CMOS – Schaltkreise

1/85

Hersteller: VEB Mikroelektronik „Karl Marx" Erfurt

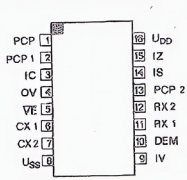
V 4046 D	PLL-Schaltung
V 4051 D	8 Kanal-Analog-Multiplexer/Demultiplexer
V 4066 D	4 bilaterale Schalter
V 4520 D	2 x Binär-4 bit-Vorwärtszähler
V 4531 D	13 bit Paritätsprüfer
V 4538 D	2 x Monoflop
V 4585 D	4 bit Größenkomparator

CMOS-Schaltkreise sind eine eigenständige SSI/MSI-Schaltkreisgruppe, die im Vergleich zu TTL bzw Low-Power-TTL u.a. folgende Vorteile aufweist:

- niedrige Verlustleistung bis ca. 10 MHz (ermöglicht Einsatz in batteriegespeisten Schaltungen)
- großer Betriebsspannungsbereich (U_{DD} = 3 ... 15 V), geringe Stabilisierung der Betriebsspannung erforderlich
- hohe statische Störsicherheit
- Low-Power-Schottky-TTL-kompatibel

Diese Eigenschaften erschließen CMOS-Schaltkreisen eine Reihe neuer Anwendungsmöglichkeiten in Ergänzung zu den TTL- bzw. Low-Power-Schottky-TTL-Schaltkreisfamilien.
Die im veb mikroelektronik "karl marx" erfurt produzierten CMOS-Schaltkreise sind in gepufferter Schaltungstechnik ausgeführt und entsprechen in ihren Parametern der internationalen B-Serie.

V 4046 D - PLL-Schaltung



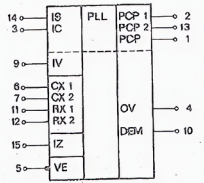


Bild 1: Anschlußbelegung und Schaltungskurzzeichen V 4046 D Bauform 2

Der Schaltkreis V 4046 D beinhaltet einen spannungsgesteuerten Oszillator (VCO) und zwei vorschiedene Phasenkomparatoren, die einen gemeinsamen Eingangsverstärker und einen gemeinsamen Komparatoreingang besitzen. In Verbindung mit der einfachen externen Beschaltung wird der Aufbau von PLL-Schaltungen ermöglicht. Die einzelnen Schaltungskomplexe sind aber auch getrennt anwendbar.
Zur Stabilisierung der externen Spannungsversorgung ist eine Z-Diode integriert.

VCO-Teil

Der spannungsgesteuerte Oszillator (VCO) benötigt für seinen Betrieb eine externe Kapazität CX1 und einen oder zwei externe Widerstände RX1, RX2. Mit RX1 und CX1 wird der Frequenzbereich des VCO festgelegt. RX2 dient zur Erzeugung eines Frequenzoffsets. Wird dieser nicht benötigt, so bleibt der Anschluß RX2 offen.
Der VCO kann entweder direkt oder über einen Frequenzteiler an den Komparatoreingang IC angeschlossen werden. Der am VCO-Ausgang OV verfügbare typische CMOS-Pegelhub erlaubt den Anschluß von Typen der CMOS-Baureihen.
Über den Eingang IV wird der VCO in seinen Frequenzbereich gesteuert. Das Tastverhältnis des Ausgangssignals beträgt 0,5. Der hohe Eingangswiderstand an IV vereinfacht den Entwurf der Tiefpaßfilter, da dann hohe Kapazitäts-zu-Widerstandsverhältnisse erlaubt sind.
Die VCO-Eingangsspannung kann über einen Sourcefolger am Anschluß DEM ausgekoppelt werden. Wird dieser Anschluß benutzt, so ist er mit einem Widerstand R_{DEM} gegen Masse abzuschließen.
Mit einem L-Pegel am Eingang $\overline{VE}$ werden der VCO und der Sourcefolger aktiviert.
Ein H-Pegel an diesem Eingang schaltet den VCO ab und minimiert dadurch den Leistungsbedarf des V 4046 D.

Phasenkomparatoren

Beide Phasenkomparatoren haben einen gemeinsamen Signaleingang IS und einen gemeinsamen Komparatoreingang IC.
Eine direkte Kopplung am Signaleingang kann nur bei CMOS-Pegel-Ansteuerung vorgenommen werden. Andernfalls ist das Eingangssignal die CMOS-Pegelwerte, so ist das Signal kapazitiv an IS einzukoppeln. Zu diesem Zweck ist der Signaleingang mit einem Verstärker und automatischer Gatevorspannungserzeugung ausgerüstet.

Phasenkomparator 1 ist eine EX-OR-Schaltung, sie arbeitet analog zu einem übersteuerten Brückenmischer. Um den Fangbereich maximal zu halten, müssen Signaleingangs- und Komparatorfrequenz ein Tastverhältnis von 0,5 haben. Ohne Eingangssignal hat der Phasenkomparator 1 eine Ausgangsspannung von $U_{DD}/2$. Wird der Ausgang des Phasenkomparators 1 über einen Tiefpaß mit dem VCO-Eingang verbunden, so nimmt die VCO-Eingangsspannung ebenfalls den Wert von $U_{DD}/2$ an und der VCO schwingt auf seiner Mittenfrequenz f_0.

Der Frequenzbereich des Eingangssignals, in dem die PLL einrastet, wird als Frequenzfangbereich ($2 f_0$) definiert. Der Bereich des Eingangssignals, für den die PLL eingerastet bleibt, wird mit Frequenzhaltebereich ($2 f_L$) bezeichnet. Der Fangbereich ist $\leq$ dem Haltebereich
Mit dem Phasenkomparator 1 ist der Frequenzbereich, über dem die PLL einrasten kann (Fangbereich), abhängig von der Tiefpaßcharakteristik und kann so groß wie der Haltebereich gemacht werden
Dieser Phasenkomparator hat den Vorteil, daß er trotz großen Rauschens des Eingangssignals im Haltebereich eingerastet bleibt. Ein weiterer Vorteil ist der, daß er auf Eingangsfrequenzen, die nahe an den Harmonischen der VCO-Mittenfrequenz f_0 liegen, einrastet. Der Phasenwinkel zwischen Eingangs- und Komparatorsignal kann zwischen 0 und 180° liegen. Bei der Mittenfrequenz f_0 beträgt er 90°.
Bild 2 zeigt die Abhängigkeit des Phasenwinkels von der Steuerspannung.

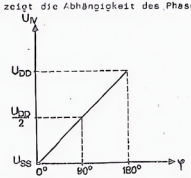


Bild 2: Abhängigkeit des Phasenwinkels von der Steuerspannung

Bild 3 zeigt die typischen Impulsformen für eine PLL, die den Phasenkomparator 1 verwendet

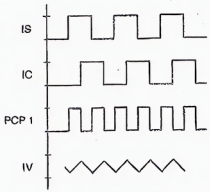


Bild 3: typische Impulsformen bei Verwendung von Phasenkomparator 1

Phasenkomparator 2 ist eine digitale, flankengesteuerte Speicherschaltung. Sie besteht aus 4 FF, einer Steuerschaltung sowie einer Ausgabeschaltung mit 3-Zustandscharakteristik. Der Phasenkomparator arbeitet nur bei positiven Flanken an Signal- und Komparatoreingängen. Das Tastverhältnis der Komparator- und Signaleingänge ist unkritisch.
Ist die Signaleingangsfrequenz höher als die Komparatorfrequenz, so wird der p-Kanal-Transistor des Ausgangs PCP 2 die meiste Zeit in EIN-Zustand gehalten und für die restliche Zeit zusammen mit dem n-Kanal-Transistor im AUS-Zustand. Der Ausgang PCP 2 befindet sich dann im hochohmigen Zustand
Im anderen Fall, wenn die Signaleingangsfrequenz kleiner ist, ist der n-Kanal-Transistor öfter ein geschaltet und der p-Kanal-Transistor befindet sich in AUS-Zustand.
Sind beide Frequenzen gleich, aber der Signaleingang läuft mit seiner Phase dem Komparatoreingang nach, so wird der n-Kanal-Transistor des Ausgangs PCP 2 für den Betrag der Phasendifferenz eingeschaltet. Dementsprechend wird die Spannung am Kondensator des Tiefpaßfilters solange geändert bis die beiden Signale in Frequenz und Phase übereinstimmen. Auf diesem stabilen Punkt bleiben die n- und p-Kanal-Transistoren des Ausgangs PCP 2 abgeschaltet, der Ausgang ist hochohmig und hält die Spannung des Tiefpaßkondensators konstant.

Läuft die Komparatorfrequenz in der Phase der Signalfrequenz hinterher, so wird für den Betrag der Phasendifferenz der p-Kanal-Ausgangstransistor eingeschaltet.
Der Ausgang PCP zeigt mit seinem H-Pegel den eingenommenen Zustand des Phasenkomparators 2 an.
Für den Phasenkomparator 2 existiert über den vollen Frequenzbereich des VCO keine Phasendifferenz zwischen Signal- und Komparatoreingang.
Der Haltebereich einer PLL, die diesen Komparatortyp anwendet, ist gleich dem Fangbereich und unabhängig vom verwendeten Tiefpaßfilter. Ohne Eingangssignal an IS schwingt der VCO mit diesem Komparator auf seiner Minimalfrequenz entsprechend dem gewählten Frequenzbereich.
Bild 4 zeigt typische Signalverläufe für den Phasenkomparator 2.

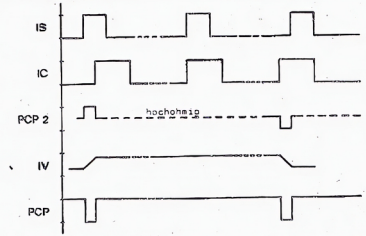


Bild 4: typische Impulsformen bei Verwendung von Phasenkomparator 2

Externe Beschaltung		min.	max.	Einheit
RX1		5	$1 \cdot 10^3$	kOhm
RX2		5	$1 \cdot 10^3$	kOhm
CX1	$U_{DD} \geq 3$ V	100		pF
	$U_{DD} \geq 10$ V	50		pF
RDEM		5	$1,10^3$	kOhm

V 4051 D 8-Kanal-Analog-multiplexer/Demultiplexer

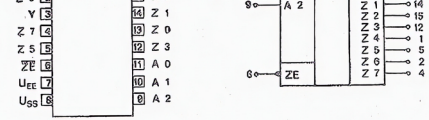


Bild 5: Anschlußbelegung und Schaltungskurzzeichen V 4051 D Bauform 2

Der Schaltkreis V 4051 D enthält einen 8 kanaligen analogen Multiplexer/Demultiplexer. Von den 8 Kanälen Z0 - Y bis Z 7 - Y wird über digitale Steuereingänge A0, A1, A2 ein Kanal ausgewählt und in den EIN-Zustand geschaltet.
Die anderen Kanäle befinden sich im hochohmigen AUS-Zustand. Über den Steuereingang $\overline{ZE}$ können unabhängig von der Belegung der Steuereingänge A0, A1, A2 alle Kanalschalter in den AUS-Zustand geschaltet werden.

Wahrheitstabelle

A0	A1	A2	$\overline{ZE}$	Kanal "EIN"
L	L	L	L	Z 0
H	L	L	L	Z 1
L	H	L	L	Z 2
H	H	L	L	Z 3
L	L	H	L	Z 4
H	L	H	L	Z 5
L	H	H	L	Z 6
H	H	H	L	Z 7
X	X	X	H	-

X = L oder H

V 4066 D - Vier bilaterale Schalter

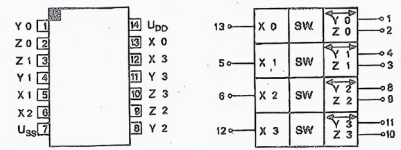


Bild 6: Anschlußbelegung und Schaltungskurzzeichen V 4066 D Bauform 1

Der Schaltkreis V 4066 D enthält vier voneinander unabhängige bilaterale Analogschalter.
Je Schalter ist ein Steuereingang Xn vorhanden, mit dem dieser vom EIN- in den AUS-Zustand und umgekehrt geschaltet werden kann.

Es gilt: Xn = H Schalter EIN

Xn = L Schalter AUS

V 4520 D Zwei binäre 4bit Vorwärtszähler

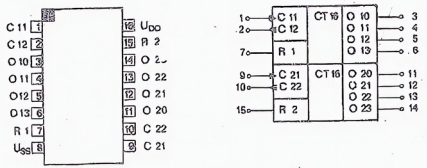


Bild 7: Anschlußbelegung und Schaltungskurzzeichen V 4520 D Bauform 2

Der V 4520 D verfügt über zwei getrennte binäre 4stellige Vorwärtszähler mit getrennten Zähl- und Rücksetzeingängen. Die vier Zählstufen je System werden aus D-Flip-Flop gebildet, die von den Zähleingängen C_{n1} oder C_{n2} auf die zählende Flanke programmiert werden. Für C_{n2} = H wird an C_{n1} auf die L/H-Flanke, für C_{n1} = L wird an C_{n2} auf die H/L-Flanke gezählt.
Bei H-Potential am Rücksetzeingang R_n wird der Zähler n auf LLLL gesetzt.

Wahrheitstabelle

C_{n1}	C_{n2}	R_n	Zählerreaktion
L/H-Flanke	H	L	Increment Zähler
L	H/L-Flanke	L	Increment Zähler
H/L-Flanke	x	L	keine Änderung
x	L/H-Flanke	L	keine Änderung
H	H/L-Flanke	L	keine Änderung
L/H-Flanke	L	L	keine Änderung
x	x	H	$O_{n0} \cdots O_{n3}$ = L

n = 1; 2
x = L oder H

V 4531 D - 13 bit - Paritätsprüfer

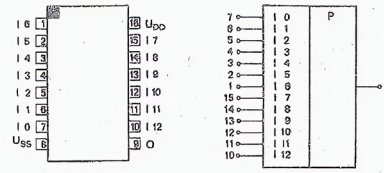


Bild 6: Anschlußbelegung und Schaltungskurzzeichen V 4531 D Bauform 2

Der Schaltkreis V 4531 D enthält einen Paritätsprüfer mit 13 Eingängen I0-I12 und einen Paritätsausgang O.
Für eine gerade Anzahl von H-Belegungen an den Eingängen ist der Ausgang L und für eine ungerade Anzahl von H-Belegungen H. Für Wortbreiten von 13 bit oder kleiner kann an den Ausgang in Abhängigkeit von der Belegung der ungenutzten Eingängen eine gerade oder ungerade Parität erzeugt werden. Für Wortbreiten von 14 bit und größer können mehrere Schaltkreise V 4531 D kaskadiert werden. Hierbei wird der Ausgang des einen Schaltkreises mit einem der Paritätseingänge des folgenden Schaltkreises verbunden.
Aufgrund der kleineren Verzögerungszeit von I12 empfiehlt es sich, den Ausgang des zu kaskadierenden Schaltkreises an I12 des nachfolgenden Schaltkreises zu legen.

Wahrheitstabelle:

Eingänge I0	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	I12	Ausgang O
L	L	L	L	L	L	L	L	L	L	L	L	L	L
ungerade Anzahl von H-Belegungen													H
gerade Anzahl von H-Belegungen													L
H	H	H	H	H	H	H	H	H	H	H	H	H	H

V 4538 D - zweifaches Monoflop

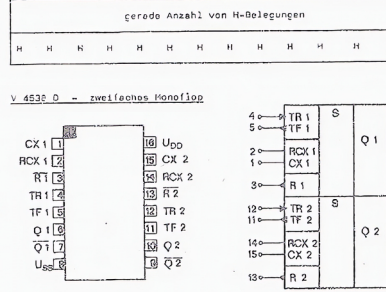


Bild 7: Anschlußbelegung und Schaltungskurzzeichen V 4538 D Bauform 2

geht der Ausgangsimpuls nach der Zeit Tn = RXn · CXn auf L zurück.

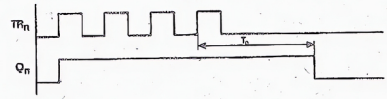


Bild 10: Nachtriggern

- Betriebsart: Einzelauslösung

Hier wird der Ausgangsimpuls mittels eines Triggerimpulses ausgelöst. Mehrfaches Triggern innerhalb der Ausgangsimpulsbreite Tn bewirkt keine Verlängerung. Erst nach Ablauf der Zeit Tn kann erneut ausgelöst werden.

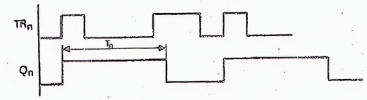


Bild 11: Einzelauslösung

Wird der Monoflop in Einzelauslösung betrieben, so sind für steigende Flankenauslösung $\overline{Qn}$ und TRn und für fallende Flankenauslösung Qn und TRn zu verbinden.

- Beschaltung des Schaltkreises:

Modus	U_{DD} an Anschluß		U_{SS} an Anschluß		Eing.-impulse an Anschluß		andere Verbindungen	
	MONO 1	MONO 2	MONO 1	MONO 2	MONO 1	MONO 2	MONO 1	MONO 2
steigende Flanke Nachtriggerung	$\overline{R1}$; TF1	$\overline{R2}$; TF2			TR1	TR2		
steigende Flanke; Einzelauslösung	$\overline{R1}$	$\overline{R2}$			TR1	TR2	TF1 an $\overline{Q1}$	TF2 an $\overline{Q2}$
fallende Flanke . Nachtriggerung	$\overline{R1}$	$\overline{R2}$	TR1	TR2	TF1	TF2		
fallende Flanke Einzelauslösung	$\overline{R1}$	$\overline{R2}$			TF1	TF2	TR1 an Q1	TR2 an Q2

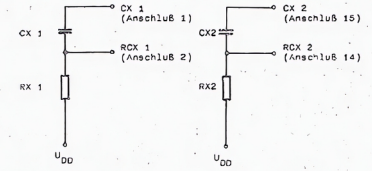


Bild 12: Externe Beschaltung

Bezeichnung	Symbol	min.	max.	Einheit
externer Widerstand	RX1	4		kOhm
externer Widerstand	RX2	4		kOhm
externe Kapazität	CX1	$5 \cdot 10^{-3}$	100	/uF
externe Kapazität	CX2	$5 \cdot 10^{-3}$	100	/uF

V 4585 D - 4 bit Größenkomparator

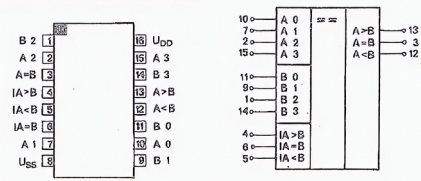


Bild 13: Anschlußbelegung und Schaltungskurzzeichen V 4585 D - Bauform 2

Der Schaltkreis V 4585 D beinhaltet einen 4-bit-Größenkomparator zum Vergleichen zweier 4 bit-Wörter. Dabei wird geprüft, ob das Wort A (A0 ... A3) "größer als", "gleich" oder "kleiner als" das Wort B (B0 ... B3) ist. Die Eingänge A3 und B3 besitzen dabei die größte Wichtung. Der Komparator kann ohne zusätzliche Logik zum Vergleich zweier Wörter beliebiger Länge erweitert werden, in dem die Ausgänge des einen Schaltkreises A = B, A < B mit den entsprechenden Übertrageeingängen IA = B und IA < B des Schaltkreises mit der nächsthöheren Wichtung verbunden werden.
Die Eingänge IA > B der kaskadierenden Schaltkreise müssen an H-Potentiel liegen.
Die Übertrageeingänge des Schaltkreises bzw. bei Kaskadierung des Schaltkreises mit der geringsten Wichtung müssen für einen richtigen Vergleich wie folgt angeschlossen werden:

IA < B = L
IA = B, IA > B = H

Wahrheitstabelle:

Komparatoreingänge				Übertrageseingänge			Ausgänge		
A3, B3	A2, B2	A1, B1	A0, B0	IA < B	IA = B	IA > B	A < B	A = B	A > B
A3 > B3	X	X	X	X	X	H	L	L	H
A3=B3	A2 > B2	X	X	X	X	H	L	L	H
A3=B3	A2= B2	A1 > B1	X	X	X	H	L	L	H
A3=B3	A2= B2	A1= B1	A0 > B0	X	X	H	L	L	H
A3=B3	A2= B2	A1= B1	A0= B0	L	L	H	L	L	H
A3=B3	A2= B2	A1= B1	A0= B0	L	H	X	L	H	L
A3=B3	A2= B2	A1= B1	A0= B0	H	L	X	H	L	L
A3=B3	A2= B2	A1= B1	A0< B0	X	X	X	H	L	L
A3=B3	A2= B2	A1< B1	X	X	X	X	H	L	L
A3=B3	A2 < B2	X	X	X	X	X	H	L	L
A3<B3	X	X	X	X	X	X	H	L	L

X = L oder H

Grenzwerte

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{DD}	U_{SS} -0,5	U_{SS} +18	V
Eingangsspannung	U_I	U_{SS} -0,5	U_{DD} +0,5	V
Ausgangsspannung	U_O	U_{SS} -0,5	U_{DD} +0,5	V
Verlustleistung je Ausgangstransistor	P_V		100	mW
Gesamtverlustleistung	P_{tot}		300 1)	mW
			150 2)	mW
Lastkapazität	C_L		5	nF
Eingangsstrom	$\|I_I\|$		10	mA
Betriebstemperaturbereich	ϑ_e	-40	85	°C
Lagerungstemperaturbereich	ϑ_{etg}	-55	125	°C

1) ϑ_e = -40 ... +70 °C
2) ϑ_e = +85 °C

	Kurzzeichen		min.	max.	Einheit
Betriebsspannung	U_{DD}	(V 4051 D)	U_{EE} -0,5	U_{EE} +18	V
Bezugspotential für Steuersignale	U_{SS}	(V 4051 D)	U_{EE} -0,5	U_{DD} +0,5	V
Eingangsspannung Steuersignale	U_{IS}	(V 4051 D)	U_{SS}	U_{DD} +0,5	V
Eingangsspannung Datenkanäle	U_{ID}	(V4051 D)	U_{EE} -0,5	U_{DD} +0,5	V
Ausgangsspannung	U_O	(V 4051 D)	U_{EE} -0,5	U_{DD} +0,5	V
Lastwiderstand	R_L	(V 4051 D)	100		Ohm
Eingangsstrom Dateneingänge (Kanal EIN)	$\|I_{ID}\|$	(V 4051 D, V 4066 D)		25	mA
Eingangsstrom Steuereingänge und Dateneingänge (Kanal AUS)	$\|I_{IS}\|$	(V 4051 D)		10	mA
	$\|I_{ID}\|$	(V 4051 D)		10	mA
Eingangsstrom Steuereingänge und Dateneingänge (Kanal AUS)	$\|I_{IX}\|$	(V 4066 D)		10	mA
	$\|I_{ID}\|$	(V 4066 D)		10	mA

Statische Kennwerte

(U_{SS} = 0 V, ϑ_θ = -40 ... +85 °C, falls nicht anders angegeben $U_I = U_{SS}$ bzw. U_{DD}, $|I_O| < 1$ µA)

	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Betriebsspannung	U_{DD}		3	15	V
Eingangsspannung	U_I		0	U_{DD}	V
Eingangsspannung H	U_{IH}	U_{DD} = 5 V	3,5		V
		U_{DD} =10 V	7		V
		U_{DD} =15 V	11		V
Eingangsspannung L	U_{IL}	U_{DD} = 5 V		1,5	V
		U_{DD} =10 V		3	V
		U_{DD} =15 V		4	V
Eingangsspannung H Steuereingänge (nur V 4066 D)	U_{IXH}	U_{DD} = 5 V; I_{ID} <10 µA; U_{ID} = 5 V; U_{OD} = 0 V; U_{IO} = 0 V	3,5		V
		U_{DD} =10 V; I_{ID} <10 µA; U_{ID} =10 V; U_{OD} = 0 V; U_{IO} = 0 V; U_{OD} =10 V	7		V
		U_{DD} =15 V; I_{ID} <10 µA; U_{ID} =15 V; U_{OD} = 0 V; U_{ID} = 0 V; U_{OD} =15 V	11		V

Für U_{IH} und U_{IL} der Steuersignale des V 4051 D gelten die allgemeinen Kennwerte unter folgenden Bedingungen:

$U_{EE} = U_{SS}$; R_L = 1 kOhm; $I_{ID} < 2$ µA; alle Kanäle "AUS"

Bezeichnung	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Eingangsspannung L Steuereingänge (V 4066 D)	U_{IXL}	U_{DD} = 5 V; I_{ID} < 10 µA; U_{ID} = 0 V; U_{OD} = 5 V U_{ID} = 5 V; U_{OD} = 0 V		1	V
		U_{DD} = 10 V; I_{ID} < 10 µA; U_{ID} = 0 V; U_{OD} = 10 V U_{ID} = 10 V; U_{OD} = 0 V		2	V
		U_{DD} = 15 V; I_{ID} < 10 µA; U_{ID} = 0 V; U_{OD} = 15 V U_{ID} = 15 V; U_{OD} = 0 V		2	V
Betriebsspannung (V 4538 D)	U_{DD}		5	15	V
Betriebsspannung (V 4046 D)	U_{DD}	Einsatz des VCO als Festfrequenzoszillator und der Phasenkomparatoren separat	3	18	V
	U_{DD}	PLL-Betrieb	5	15	V
Betriebsspannung (V 4051 D)	U_{DD}		(U_{EE} +3)	(U_{EE} +15)	V
Bezugspotential für Steuersignale (V 4051 D)	U_{SS}		(U_{DD}-15)	(U_{DD} -3)	V
Eingangsspannung Steuersignale (V 4051 D)	U_{IS}		U_{SS}	U_{DD}	V
Eingangsspannung Daten (V 4051 D)	U_{IO}		U_{EE}	U_{DD}	V
Eingangsreststrom	I_I	U_{IH} = U_{DD} = 15 V; U_{IL} = U_{SS}		1,0	µA
Ausgangsspannung H	U_{OH}	U_{DD} = 5 V	4,95		V
		U_{DD} = 10 V	9,95		V
		U_{DD} = 15 V	14,95		V
Ausgangsspannung L	U_{OL}	U_{DD} = 5 V		0,05	V
		U_{DD} = 10 V		0,05	V
		U_{DD} = 15 V		0,05	V
Ausgangsstrom H	$-I_{OH}$	U_{OH} = 4,6 V; U_{DD} = 5 V	0,4		mA
		U_{OH} = 9,5 V; U_{DD} = 10 V	0,9		mA
		U_{OH} = 13,5 V; U_{DD} = 15 V	2,4		mA
Ausgangsstrom L	I_{OL}	U_{OL} = 0,4 V; U_{DD} = 5 V	0,4		mA
		U_{OL} = 0,5 V; U_{DD} = 10 V	0,9		mA
		U_{OL} = 1,5 V; U_{DD} = 15 V	2,4		mA

Bezeichnung	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Eingangskapazität	C_I			7,5	pF
Kapazitäten Z0 ... Z 7 (nur V 4051 D)	C_Z			10	pF
Y (nur V 4051 D)	C_Y			60	pF
A0 ... A2, $\overline{ZE}$ (nur V4051 D)	C_{IS}			7,5	pF
Kapazitäten					
X (nur V 4066 D)	C_{IX}			7,5	pF
Y,Z	C_Y			16	pF
	C_Z			16	pF
statische Stromaufnahme (nur V 4066 D)	I_{DD}	U_{DD} = 5 V		7,5	µA
		U_{DD} = 10 V		15	µA
		U_{DD} = 15 V		30	µA
statische Stromaufnahme (V 4051 D, V 4520 D, V 4531 D, V 4538 D, V 4585 D)	I_{DD}	U_{DD} = 5 V		150	µA
		U_{DD} = 10 V		300	µA
		U_{DD} = 15 V		600	µA
Stromaufnahme (nur V 4046 D)	I_{DD1}	$\overline{VE}$=U_{DD}; U_{DD}= 5 V		100	µA
		I_S=offen U_{DD}=10 V		500	µA
		U_{DD}=15 V		1500	µA
	I_{DD2}	$\overline{VE}$=U_{DD} U_{DD}= 5 V		20	µA
		IS=0/15V; U_{DD}=10 V		40	µA
		(Strom in IS nicht bewerten) U_{DD}=15 V		80	µA
Ausgangsstrom HIGH von PCP, PCP1, PCP2, OV, $\overline{OV}$ (nur V 4046 D)	$-I_{OH}$	U_O= 4,6 V; U_{DD}= 5 V	0,4		mA
		U_O= 9,5 V; U_{DD}=10 V	0,9		mA
		U_O=13,5 V; U_{DD}=15 V	2,4		mA
Ausgangsstrom HIGH von PCP, PCP1,, PCP2, OV, $\overline{OV}$ (nur V 4046 D)	$-I_{OH}$	U_O= 2,5 V; U_{DD}= 5 V	1,15		mA
Ausgangsstrom LOW von PCP, PCP1, PCP2, OV, $\overline{OV}$ (nur V 4046 D)	I_{OL}	U_O= 0,4 V; U_{DD}= 5 V	0,4		mA
		U_O= 0,5 V; U_{DD}=10 V	0,9		mA
		U_O= 1,5 V; U_{DD}=15 V	2,4		mA
Restatrom PCP2 im hochohmigen Zustand (nur V 4046 D)	I_{ZH}	U_O= 15 V; U_{DD}=15 V		12	µA
	$-I_{ZL}$	U_O= 0 V; U_{DD}=15 V		12	µA
Kanalsperrstrom (nur V 4066 D)	$\lvert I_{ID} \rvert$	U_{DD}=15 V; U_{IX}= 0 V		1	µA
Kanalsperrstrom (V 4051 D)	$\lvert I_{ID} \rvert$	U_{DD}=15 V; $\overline{ZE}$ = U_{DD}		1	µA
V 4046 D					
Eingangsempfindlichkeit IS	U_{ISSS}	f_{IS}=100 kHz; U_{DD}= 5 V	360		mV
		(Sinus) U_{DD}=10 V	660		mV
		U_{DD}=15 V	1000		mV

V 4046 D

Bezeichnung	Kurz-zeichen	Meßbedingung		min.	max.	Einheit
Eingangswiderstand IS	R_{IS}	$R_{IS} = \frac{U_{I1} - U_{I2}}{2 \cdot \lvert I_{IS} \rvert}$				
		U_{I1} für: U_{I2} für:				
		I_{IS}=0,5 µA; I_{IS}=-0,5 µA;	U_{DD}= 5 V	750		kOhm
		I_{IS}=1,0 µA; I_{IS}=-1,0 µA;	U_{DD}=10 V	200		kOhm
		I_{IS}=2,0 µA; I_{IS}=-2,0 µA;	U_{DD}=15 V	100		kOhm
dynamische Verlust-leistung	P_{VDVCO}	f_o = 10 kHz R_1 = 1 MOhm; R_2 = ∞ $U_{IV} = U_{DD}/2$				
		C_L = 50 pF	U_{DD}= 5 V		140	µW
			U_{DD}=10 V		1600	µW
			U_{DD}=15 V		6000	µW
Demodulator-Offsetspannung	U_{OFFDEM}	$U_{OFFDEM} = U_{IV} - U_{DEM}$				
		R_{DEM} = 10 kOhm;	U_{DD}= 5 V		2,5	V
			U_{DD}=10 V		2,5	V
			U_{DD}=15 V		2,5	V
Z-Dioden-Spannung	U_Z	I_Z = 50 µA		5	8	V
V 4051 D						
Kanaldurchlaß-widerstand	R_{ON}	$\overline{ZE} = U_{SS}$	U_{DD}= 5 V		1200	Ohm
			U_{DD}= 10 V		520	Ohm
			U_{DD}= 15 V		300	Ohm
Rückkoppelkapazität	C_{YZ}				0,2	pF
Differenz der R_{ON} zweier Kanäle in einem Gehäuse	ΔR_{ON}	U_{DD} = 5 V			15	Ohm
		U_{DD} =10 V			10	Ohm
		U_{DD} =15 V			5	Ohm
V 4066 D						
Durchlaßwiderstand	R_{ON}	R_L = 10 kOhm gegen $\frac{U_{DD} - U_{SS}}{2}$				
		U_{DD} = 5 V; U_{IX} = 5 V			1200	Ohm
		U_{DD} =10 V; U_{IX} = 10 V			500	Ohm
		U_{DD} =15 V; U_{IX} = 15 V			300	Ohm
Rückkoppelkapazität	C_{YZ}				0,5	pF
Differenz der R_{ON} zweier Schalter in einem Gehäuse	ΔR_{ON}	R_L = 10 kOhm;	U_{DD} = 5 V		15	Ohm
			U_{DD} =10 V		10	Ohm
			U_{DD} =15 V		5	Ohm

Dynamische Kennwerte

(ϑ_a = 25 °C; U_{SS} = 0 V; C_L = 50 pF; $U_I = U_{SS}$ bzw. U_{DD}; $|I_O| < 1\,\mu A$; $t_{LH} = t_{LH}$ = 20 ns)

Bezeichnung	Kurz-Zeichen	Meßbedingung	min.	typ.	max.	Einheit
Flankenübergangszeit der Ausgangssignale V 4046 D, V 4520 D V 4538 D, V 4585 D V 4531 D	t_{TLH}; t_{THL}	U_{DD} = 5 V			200	ns
		U_{DD} = 10 V			100	ns
		U_{DD} = 15 V			80	ns
V 4046 D						
Anstiegs- und Abfallzeit des Eingangssignales an IS	t_{ISLH}; t_{ISHL}	U_{DD} = 5 V			50	µs
		U_{DD} = 10 V			1	µs
		U_{DD} = 15 V			0,3	µs
Anstiegs- und Abfallzeit des Eingangssignales an IC	t_{ICLH}; t_{ICHL}	U_{DD} = 5 V			500	µs
		U_{DD} = 10 V			20	µs
		U_{DD} = 15 V			2,5	µs
Verzögerungszeit IS ⟶ PCP2	t_{P2HL}	C_L = 50 pF; U_{DD} = 5 V			450	ns
		U_{DD} = 10 V			200	ns
		U_{DD} = 15 V			130	ns
	t_{P2LH}	C_L = 50 pF; U_{DD} = 5 V			700	ns
		U_{DD} = 10 V			300	ns
		U_{DD} = 15 V			200	ns
Verzögerungszeit IS ⟶ PCP2 hochohmig HIGH ⟵ hochohmig	t_{P2HZ}	C_L = 50 pF; U_{DD} = 5 V			450	ns
		U_{DD} = 10 V			200	ns
		U_{DD} = 15 V			190	ns
LOW ⟵ hochohmig	t_{P2LZ}	C_L = 50 pF; U_{DD} = 5 V			570	ns
		U_{DD} = 10 V			260	ns
		U_{DD} = 15 V			190	ns
VCO - Frequenz	f_V	C_1 = 50 pF; R_1 = 10 kOhm				
		R_2 = ∞ ; $U_{IV} = U_{DD}$				
		C_L = 50 pF;				
		U_{DD} = 5 V	0,3			MHz
		U_{DD} = 10 V	0,6			MHz
		U_{DD} = 15 V	0,8			MHz

Bezeichnung	Kurzzeichen	Meßbedingung	min.	typ.	max.	Einheit
VCO-Frequenz-Linearität	$\left\lvert\frac{\Delta f_V}{f_V}\right\rvert$	$U_{IVmin} \rightarrow f_{min}$; $U_{IV} \rightarrow f_V$: $U_{IVmax} \rightarrow f_{max}$; $f'_V = \frac{f_{min} + f_{max}}{2}$; $\frac{\Delta f_V}{f_V} = \frac{f'_V - f_V}{f_V \cdot 100}$;				
		U_{DD} = 5 V; R_1 = 10 kOhm; U_{IV} = 2,5 ± 0,3 V		1,7		%
		U_{DD} = 10 V; R_1 = 100 kOhm; U_{IV} = 5 ± 1 V		0,5		%
		U_{DD} = 10 V; R_1 = 400 kOhm; U_{IV} = 5 ± 2,5 V		4		%
		U_{DD} = 15 V; R_1 = 100 kOhm; U_{IV} = 7,5 ± 1,5 V		0,6		%
		U_{DD} = 15 V; R_1 = 1000 kOhm; U_{IV} = 7,5 ± 5 V		7		%
VCO-Frequenz-Stabilität	$\left\lvert\frac{\Delta f_V}{\Delta \vartheta}\right\rvert$	f_{Omin} = 0; U_{DD} = 5 V		0,12		%/K
		U_{DD} = 10 V		0,04		%/K
		U_{DD} = 15 V		0,016		%/K
	$\left\lvert\frac{\Delta f_V}{\Delta \vartheta}\right\rvert$	$f_{Omin} \neq 0$; U_{DD} = 5 V		0,09		%/K
		U_{DD} = 10 V		0,07		%/K
		U_{DD} = 15 V		0,03		%/K
Linearität des Source-Folgers	$\left\lvert\frac{\Delta U_{DEM}}{U_{DEM}}\right\rvert$	U_{DD} = 5 V; R_{DEM} = 100kOhm; U_{IV} = 2,5 ± 0,3 V		0,3		%
		U_{DD} = 10 V; R_{DEM} = 300kOhm; U_{IV} = 5 ± 2,5 V		0,7		%
		U_{DD} = 15 V; R_{DEM} = 500kOhm; U_{IV} = 7,5 ± 5 V		0,9		%
dynamischer Z-Dioden-Widerstand	r_Z	I_Z = 1 mA		40		Ohm
V 4051 D						
Verzögerungszeit A 0 ... A 2 → Ausgang	τ_{PA}	U_{DD} = 5 V; U_{EE} = 0 V; U_{ID} = 5 V			720	ns
		U_{DD} = 10 V; U_{EE} = 0 V; U_{ID} = 10 V			320	ns
		U_{DD} = 15 V; U_{EE} = 0 V; U_{ID} = 15 V			240	ns
		U_{DD} = 5 V; U_{EE} = -5 V; U_{ID} = 5 V			450	ns

Bezeichnung	Kurzzeichen	Meßbedingung	min.	typ.	max.	Einheit
Verzögerungszeit $\overline{ZE}$ ⇒ Ausgang einschalten	$t_{P\overline{ZE}L}$	U_{DD} = 5 V; U_{EE} = 0 V; R_L = 10 kOhm; U_{IO} = 5 V			720	ns
		U_{DD} = 10 V; U_{EE} = 0 V; R_L = 10 kOhm; U_{IO} = 10 V			320	ns
		U_{DD} = 15 V; U_{EE} = 0 V; R_L = 10 kOhm; U_{IO} = 15 V			240	ns
		U_{DD} = 5 V; U_{EE} = - 10 V; R_L = 10 kOhm; U_{IO} = 5 V			400	ns
Verzögerungszeit $\overline{ZE}$ ⇒ Ausgang ausschalten	$t_{PZ\overline{E}H}$	U_{DD} = 5 V; U_{EE} = 0 V; R_L = 0,3 kOhm; U_{IO} = 5 V			450	ns
		U_{DD} = 10 V; U_{EE} = 0 V; R_L = 0,3 kOhm; U_{IO} = 10 V			210	ns
		U_{DD} = 15 V; U_{EE} = 0 V; R_L = 0,3 kOhm; U_{IO} = 15 V			160	ns
		U_{DD} = 5 V; U_{EE} = - 10 V; R_L = 0,3 kOhm; U_{IO} = 5 V			300	ns
Verzögerungszeit Z_n ⇒ Y	t_{PZY}; t_{PYZ}	U_{DD} = 5 V; U_{EE} = 0 V; R_L = 10 kOhm; U_{IO} = 5 V			60	ns
Y ⇒ Z_n		U_{DD} = 10 V; U_{EE} = 0 V; R_L = 10 kOhm; U_{IO} = 10 V			30	ns
		U_{DD} = 15 V; U_{EE} = 0 V; R_L = 10 kOhm; U_{IO} = 15 V			20	ns
Grenzfrequenz bei - 3 dB (Durchlaß):	f_O	U_{DD} = 10 V; U_{EE} = U_{SS} = 0 V; U_I = 5 V (Sinus auf $U_{DD}/2$); R_L = 1 kOhm				
Z_n ⇒ Y					20	MHz
Y ⇒ Z_n					60	MHz
Grenzfrequenz bei - 40 dB (gesperrt):	f_R	U_{DD} = 10 V; U_{EE} = U_{SS} = 0 V; U_I = 5 V (Sinus auf $U_{DD}/2$); R_L = 1 kOhm				
Z_n ⇒ Y					12	MHz
Y ⇒ Z_n					8	MHz
Grenzfrequenz für - 40 dB Übersprechen zwischen zwei Kanälen	$f_{\ddot{U}}$	U_{DD} = 10 V; U_{EE} = U_{SS} = 0 V; U_I = 5 V (Sinus auf $U_{DD}/2$); R_L = 1 kOhm			3	MHz
Übersprechen von Steuersignalen auf Kanäle	$U_{\ddot{U}M}$	U_{DD} = 10 V; U_{EE} = U_{SS} = 0 V; R_L = 10 kOhm an beiden Kanälenden gegen U_{SS} U_{IA}, $U_{I\overline{ZE}}$ = 10 V ⎍⎍			65	mV

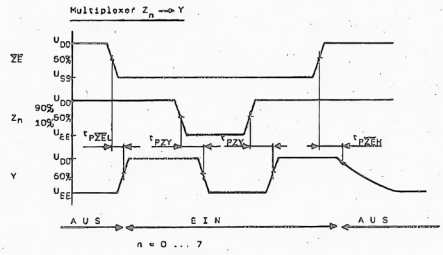
Bezeichnung	Kurzzeichen	Meßbedingung	min.	typ.	max.	Einheit
Klirrfaktor	k	$U_{EE} = U_{SS}$; R = 10 kOhm;				
		U_{DD} = 5 V; U_I = 2 V			0,30	%
		U_{DD} = 10 V; U_I = 3 V			0,20	%
		U_{DD} = 15 V; U_I = 4 V			0,12	%
		U_I (f = 1 kHz) sinus				
V 4066 D						
Verzögerungszeit X ⟿ Ausgang eingeschalten	t_{PXH}	R_L = 1 kOhm; U_{DD} = 5 V			70	ns
		U_{DD} = 10 V			40	ns
		U_{DD} = 15 V			30	ns
Verzögerungszeit $Y_n \rightsquigarrow Z_n$ $Z_n \rightsquigarrow Y_n$ (n = 0 ... 3)	t_{PYZ}; t_{PZY}	R_L = 200 kOhm; U_{DD} = 5 V			40	ns
		U_{DD} = 10 V			20	ns
		U_{DD} = 15 V			15	ns
maximale Schaltfrequenz	f_{max}	$U_{ID} = U_{DD}$; U_{SS} = 0 V; R_L = 1 kOhm; C_L = 50 pF; $U_{IX} = U_{DD}$ ⎍⎍ ($t_{HL} = t_{LH}$ = 20 ns); $U_{DD}(f_{max}) = 1/2\ U_{DD}(1\ kHz)$				
		U_{DD} = 5 V		6		MHz
		U_{DD} = 10 V		8		MHz
		U_{DD} = 15 V		9,5		MHz
Grenzfrequenz bei - 3 dB (Durchlaß): $Y_n \rightarrow Z_n$ $Z_n \rightarrow Y_n$	f_D	$U_{IXn} = U_{DD}$ = 5 V; U_{SS} = - 5 V; U_{IDnSS} = 5 V (Sinus auf 0 V) R_L = 1 kOhm		40		MHz
Grenzfrequenz bei - 50 dB (gesperrt): $Y_n \rightarrow Z_n$ $Z_n \rightarrow Y_n$	f_R	U_{DD} = 5 V; $U_{IXn} = U_{SS}$ = - 5 V; U_{IDnSS} = 5 V (Sinus auf 0 V) R_L = 1 kOhm		1		MHz
Grenzfrequenz für - 50 dB Übersprechen von Schalterkanälen n auf Schalterkanal m (n = 1 ... 3)	$f_Ü$	$U_{IXn} = U_{DD}$ = 5 V; $U_{IXm} = U_{SS}$ = - 5 V; U_{IDnSS} = 5 V (Sinus auf 0 V); R_L = 1 kOhm		8		MHz
Übersprechen von Steuersignal auf Schalterkanal	$U_{ÜM}$	U_{DD} = 10 V; U_{SS} = 0 V; U_{IX} = 10 V (⎍⎍ $t_{HL} = t_{LH}$ = 20 ns) R_{IL} = 1 kOhm; R_L = 10 kOhm		50		mV
Klirrfaktor	k	$U_{IX} = U_{DD}$ = 5 V; U_{SS} = - 5 V; U_{IDSS} = 5 V (Sinus auf 0 V); f_I = 1 kHz; R_L = 10 kOhm		0,4		%

Bezeichnung	Kurz-zeichen	Meßbedingung	min.	typ.	max.	Einheit
V 4520 D						
Verzögerungszeit	t_{PC}	U_{DD} = 5 V			560	ns
$C_{nB} \rightarrow O_n$		U_{DD} = 10 V			230	ns
(n; n = 1; 2)		U_{DD} = 15 V			160	ns
Verzögerungszeit	t_{PR}	U_{DD} = 5 V			660	ns
$R_n \rightarrow O_n$		U_{DD} = 10 V			225	ns
		U_{DD} = 15 V			170	ns
Zählimpulsbreite für	t_{C11H}	U_{DD} = 5 V	200			ns
C_{n1}	t_{C21H}	U_{DD} = 10 V	100			ns
		U_{DD} = 15 V	70			ns
Zählimpulsbreite für	t_{C12L}	U_{DD} = 5 V	400			ns
C_{n2}		U_{DD} = 10 V	200			ns
		U_{DD} = 15 V	140			ns
Zählfrequenz	f_C	U_{DD} = 5 V	0		1,5	MHz
		U_{DD} = 10 V	0		3	MHz
		U_{DD} = 15 V	0		4	MHz
Anstiegs- und Abfall-	t_{CLH}	U_{DD} = 5 V			15	µs
zeit des Zählimpulses	t_{CHL}	U_{DD} = 10 V			15	µs
		U_{DD} = 15 V			5	µs
R-Impulsbreite H	t_{RH}	U_{DD} = 5 V	250			ns
		U_{DD} = 10 V	110			ns
		U_{DD} = 15 V	80			ns
V 4531 D						
Verzögerungszeit	t_{PHL}	U_{DD} = 5 V			560	ns
I 0 ... I 11 $\rightarrow$ O		U_{DD} = 10 V			240	ns
		U_{DD} = 15 V			180	ns
	t_{PLH}	U_{DD} = 5 V			540	ns
		U_{DD} = 10 V			220	ns
		U_{DD} = 15 V			180	ns
Verzögerungszeit:	t_{P12HL}	U_{DD} = 5 V			420	ns
I 12 $\rightarrow$ O		U_{DD} = 10 V			160	ns
		U_{DD} = 15 V			140	ns
	t_{P12LH}	U_{DD} = 5 V			340	ns
		U_{DD} = 10 V			140	ns
		U_{DD} = 15 V			100	ns

Bezeichnung	Kurzzeichen	Meßbedingung	min.	typ.	max.	Einheit
V 4538 D						
Verzögerungszeit TR, TF ⟶ Q, $\overline{Q}$	t_{PTR}, t_{PTF}	U_{DD} = 5 V			600	ns
		U_{DD} = 10 V			300	ns
		U_{DD} = 15 V			200	ns
Verzögerungszeit $\overline{R}$ ⟶ Q, $\overline{Q}$	$t_{P\overline{R}}$	U_{DD} = 5 V			500	ns
		U_{DD} = 10 V			250	ns
		U_{DD} = 15 V			190	ns
Ausgangsimpulsbreite Q, $\overline{Q}$	T	R_X = 10 kOhm; C_X = 5 nF				
		U_{DD} = 5 V		58		µs
		U_{DD} = 10 V		55		µs
		U_{DD} = 15 V		55		µs
		R_X = 100 kOhm; C_X = 0,1 µF				
		U_{DD} = 5 V		9,86		ms
		U_{DD} = 10 V		10		ms
		U_{DD} = 15 V		10,14		ms
		R_X = 100 kOhm; C_X = 10 µF				
		U_{DD} = 5 V		0,965		s
		U_{DD} = 10 V		0,98		s
		U_{DD} = 15 V		0,99		s
Impulsbreite L an $\overline{R}$	$t_{\overline{R}L}$	U_{DD} = 5 V	70			ns
		U_{DD} = 10 V	60			ns
		U_{DD} = 15 V	50			ns
Impulsbreite an TR_n	t_{TRH}, t_{TRL}	U_{DD} = 5 V	70			ns
		U_{DD} = 10 V	60			ns
		U_{DD} = 15 V	50			ns
Impulsbreite L an TF_n	t_{TFL}	U_{DD} = 5 V	90			ns
		U_{DD} = 10 V	60			ns
		U_{DD} = 15 V	50			ns
Impulsbreite H an TF_n	t_{TFH}	U_{DD} = 5 V	70			ns
		U_{DD} = 10 V	60			ns
		U_{DD} = 15 V	50			ns
Differenz der Ausgangsimpulsbreiten der Monoflops in einem Gehäuse	ΔT	R_X = 100 kOhm; C_X = 0,1 µF				
		$\Delta T = \frac{(T_1 - T_2) \cdot 100\ \%}{T_1}$				
		U_{DD} = 5 V		± 1		%
		U_{DD} = 10 V		± 1		%
		U_{DD} = 15 V		± 1		%

Bezeichnung	Kurz-zeichen	Meßbedingung	min.	typ.	max.	Einheit
V 4585 D						
Verzögerungszeit	t_{PA};	U_{DD} = 5 V			600	ns
A_n, B_n ⟶ A>B, A=B, A<B	t_{PB}	U_{DD} = 10 V			250	ns
		U_{DD} = 15 V			160	ns
Verzögerungszeit	t_{PI}	U_{DD} = 5 V			400	ns
IA=B, IA>B, IA<B ⟶		U_{DD} = 10 V			160	ns
A>B, A=B, A<B		U_{DD} = 15 V			120	ns

Impulsdiagramme



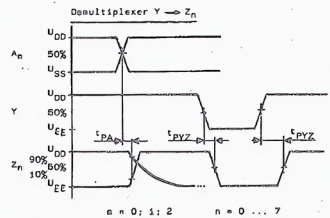


Bild 13: V 4051 D

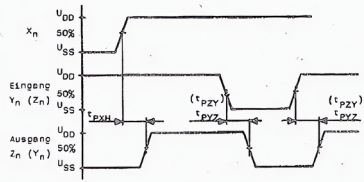


Bild 14: V 4066 D

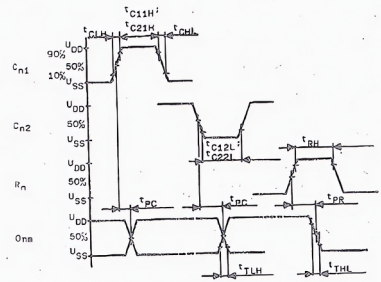


Bild 15: V 4520 D

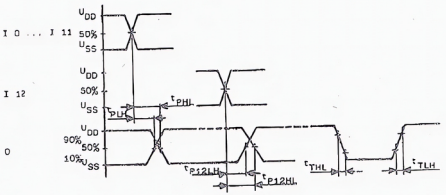


Bild 16: V 4531 D

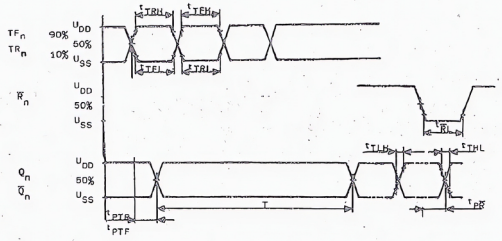


Bild 17: V 4538 D

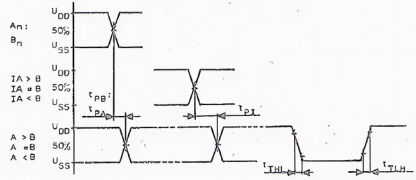


Bild 18: V 4585 D

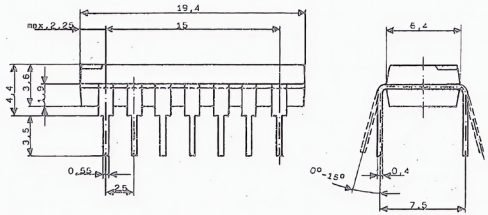


Bild 19: Gehäuseabmessungen Bauform 1

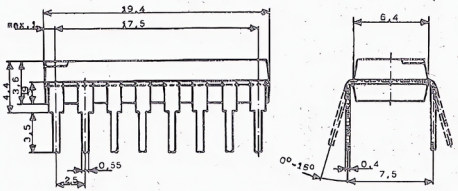


Bild 20: Gehäuseabmessungen Bauform 2

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und enthält keine Verbindlichkeit zur Produktion. Die gültigen Vertragsunterlagen beim Bezug der Bauelemente sind die Typenstandards. Rechtsverbindlich ist jeweils die Auftragsbestätigung.

Änderungen im Zuge der technischen Weiterentwicklung vorbehalten.
Die Behandlungsvorschriften für MOS-Bauelemente sind unbedingt einzuhalten, da andernfalls eine Reklamation nicht anerkannt werden kann.

11/84

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

mikroelektronik

Information

RFT

MB 105

1/85

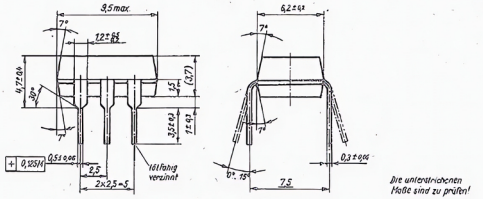
vorläufige technische Daten

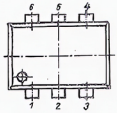
Hersteller: VEB Werk für Fernsehelektronik Berlin

Der optoelektronische Koppler MB 105 besteht aus einer IRED im Eingangskreis und einem planaren npn-Si-Fototransistor mit und ohne Basisanschluß im Ausgangskreis.
Er dient zur galvanischen Trennung von Stromkreisen mit hohen Potentialdifferenzen und ist vorwiegend für den Einsatz in der Meß-, Steuer- und Regelungstechnik vorgesehen.

Für den Koppler MB 105 gelten folgende Typbezeichnungen:

MB 105/4 A-P } mit herausgeführter Basis
MB 105/5 A-P }
MB 105/6 A-P ohne herausgeführte Basis





Anschluß	Belegung
1	IRED-Anode
2	IRED-Katode
3	nicht belegt
4	Fototransistor-Emitter
5	Fototransistor-Kollektor
6	Fototransistor-Basis bzw. nicht belegt

Masse: 0,5 g
Standard: TGL 42878

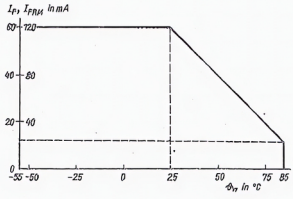
Kenngrößen bei ϑ_a = 25 °C

		min	max	
Eingangskreis				
Durchlaßgleichspannung bei I_F = 60 mA	U_F	-	1,65	V
Sperrgleichspannung bei U_R = 6 V	I_R	-	10	µA
Ausgangskreis				
Kollektor-Emitter-Dunkelstrom bei U_{CE} = 40 V				
I_F = 0	I_{CEO} MB 105/4 MB 105/5 MB 105/6	-	50	nA
Kollektor-Basis-Dunkelstrom[1] bei I_F = 0				
U_{CB} = 70 V	I_{CBO}	-	100	µA
Emitter-Kollektor-Dunkelstrom bei I_F = 0				
U_{EC} = 6 V	I_{ECO}	-	10	µA
Kollektor-Emitter-Strom bei I_F = 10 mA				
U_{CE} = 5 V	$I_{CE(H)}$			
	A	4,0	8,0	mA
	B	6,3	12,5	mA
	C	10,0	20,0	mA
	D	16,0	32,0	mA
auf Anfrage	E	24,0	48,0	mA
auf Anfrage	F	40,0	80,0	mA
bei I_F = 10 mA				
U_{CE} = 0,3 V	$I_{CE(H)}$			
	A bis F	2,5	-	mA
	D und F auf Anfrage			

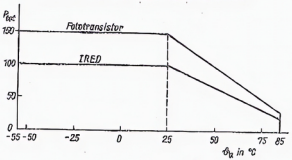
Verzögerungszeit	t_d	-	5	µs
Impulsanstiegszeit	t_r	-	10	µs
Speicherzeit	t_s	-	1,5 4,0[2]	µs µs
Impulsabfallzeit	t_f	-	10	µs
Isolationswiderstand bei U_{IO} = 0,5 kV	R_{IO}	100	-	GΩ

Grenzwerte				
Durchlaßgleichstrom[3]	I_F		60	mA
Spitzendurchlaßstrom, periodischer[4]	I_{FRM}		120	mA
Spitzendurchlaßstrom, nicht periodischer bei t_p = 1 µs; 2 min Pause	I_{FSM}		3	A
Sperrgleichspannung	U_R		6	V
Spitzensperrspannung	U_{RRM}		6	V
Ausgangskreis				
Kollektor-Emitterspannung	U_{CEN}			
MB 105/4		–	70	V
MB 105/5		–	35	V
MB 105/6		–	70	V
Emitter-Basis-Spannung[1]	U_{EBO}	–	6	V
Emitter-Basis-Spitzenspannung[1]	U_{EBM}	–	6	V
Verlustleistung (Transistor)[5]	P_{tot}	–	150	mW
Koppler				
Spitzenisolationsspannung[6] bei f = 50 bis 60 Hz, sinus	U_{IORM}	–	5,3	kV
Isolationsgleichspannung[6]	U_{IO}	–	5,3	kV
Betriebstemperaturbereich	ϑ_a	–55	+85	°C
Lagerungstemperaturbereich für 1 Monat	ϑ_{stg}	–55	+125	°C
Kriechstrecke			≥ 8,4	mm
Luftstrecke			≥ 6,9	mm

1) nur für Koppler MB 105/4 und MB 105/5
2) gilt nur für Kollektorstromgruppen E und F
3) bei einer Temperatur bis ≤ 25 °C, für 25 °C < ϑ_a ≤ 85 °C: Reduktion um 0,8 mA/K
4) bei einer Temperatur bis ≤ 25 °C, für 25 °C < ϑ_a ≤ 85 °C: Reduktion um 1,6 mA/K; t_p = 50 µs; $\frac{t_p}{T}$ = 1 : 2
5) bei ϑ_a = 25 °C, für 25 °C < ϑ_a ≤ 85 °C Reduktion um 2,0 mW/K
6) innerhalb 2,5 s ±0,5 s; gilt nur für Standardbezugsatmosphäre nach TGL 20 619/02



Abhängigkeit des Durchlaßgleichstromes bzw. des periodischen Spitzendurchlaßstromes von der Umgebungstemperatur



Abhängigkeit der Verlustleistung von der Umgebungstemperatur

Änderungen vorbehalten!
Redaktionsschluß Februar 1985

Die vorliegenden Datenblätter dienen ausschließlich der Information!
Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden.
Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

RFT

Herausgeber:
veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Straße 25
Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

DDR-1035 Berlin, Mainzer Str.25
Telefon: 5800521, Telex: 011 2981

1/85: Neue und weiterentwickelte Bauelemente
(Redaktionsschluß Juni 1985)

Bisher erschienen:

1/84: Neue und weiterentwickelte Bauelemente
(Redaktionsschluß Februar 1984)

2/84: Neue und weiterentwickelte Bauelemente - Nachtrag
(Redaktionsschluß Juni 1984)

3/84: Ausgewählte Importbauelemente
(Redaktionsschluß Dezember 1984)

(516) 1604 BG 086/50/85 10-11